

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2002年10月 8日

出 願 番 号
Application Number:

特願2002-294840

[ST.10/C]:

[JP2002-294840]

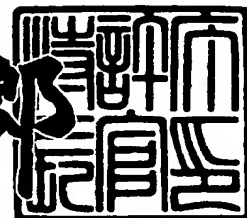
出 願 人
Applicant(s):

パイオニア株式会社

2003年 6月24日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3049510

【書類名】 特許願

【整理番号】 56P0568

【提出日】 平成14年10月 8日

【あて先】 特許庁長官殿

【国際特許分類】 G09G 3/00
H05B 37/02

【発明の名称】 ディスプレイパネルの駆動装置

【請求項の数】 16

【発明者】

 【住所又は居所】 埼玉県鶴ヶ島市富士見6丁目1番1号 パイオニア株式会社 総合研究所内

 【氏名】 奥田 義行

【特許出願人】

 【識別番号】 000005016

 【氏名又は名称】 パイオニア株式会社

【代理人】

 【識別番号】 100079119

 【弁理士】

 【氏名又は名称】 藤村 元彦

【手数料の表示】

 【予納台帳番号】 016469

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9006557

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 ディスプレイパネルの駆動装置

【特許請求の範囲】

【請求項 1】 基板上において表示素子を挟んで互いに交叉して設けられた複数のアドレス電極と複数のデータ電極とからなるディスプレイパネルの駆動装置であって、

前記基板上において互いに並列に設けられた複数のアドレス信号生成用制御線と、

前記基板上において絶縁膜とダイオード機能膜とを挟んで、前記アドレス信号生成用制御線の各々と交叉して複数の交叉部を形成する前記アドレス電極の各々からの延長線とを含み、

前記絶縁膜は、前記交叉部のうちの少なくとも一部において開口部を有することを特徴とするディスプレイパネルの駆動装置。

【請求項 2】 前記アドレス信号生成用制御線の各々は、前記基板に接していることを特徴とする請求項 1 に記載のディスプレイパネルの駆動装置。

【請求項 3】 前記延長線の各々は、前記基板に接していることを特徴とする請求項 1 に記載のディスプレイパネルの駆動装置。

【請求項 4】 前記絶縁膜は、前記基板に接していることを特徴とする請求項 1 に記載のディスプレイパネルの駆動装置。

【請求項 5】 前記ダイオード機能膜は、前記基板に接していることを特徴とする請求項 1 に記載のディスプレイパネルの駆動装置。

【請求項 6】 前記ダイオード機能膜は、前記延長線の各々に沿って互いに隔離されていることを特徴とする請求項 1 に記載のディスプレイパネルの駆動装置。

【請求項 7】 前記ダイオード機能膜は、前記絶縁膜の開口部にのみ設けられていることを特徴とする請求項 1 に記載のディスプレイパネルの駆動装置。

【請求項 8】 前記ダイオード機能膜は、p 型半導体材料膜と n 型半導体材料膜の積層膜から成ることを特徴とする請求項 1 に記載のディスプレイパネルの駆動装置。

【請求項 9】 基板上において表示素子を挟んで互いに交叉して設けられた複数のアドレス電極と複数のデータ電極とからなるディスプレイパネルの駆動装置であって、

前記基板上において互いに並列に設けられた複数のデータ信号生成用制御線及び複数のアナログ信号入力線と、

前記基板上において絶縁膜及びダイオード機能膜を挟んで前記データ信号生成用制御線及びアナログ信号入力線の各々と交叉して交叉部を形成する複数の制御接続線と、

前記基板上において前記制御接続線の各々の端部と前記絶縁膜及びダイオード機能膜を挟んで重なり合う重複部を有する前記データ電極からの延長線と、を含み、

前記絶縁膜は、前記交叉部のうちの少なくとも一部及び前記重複部において開口部を有することを特徴とするディスプレイパネルの駆動装置。

【請求項 10】 前記データ信号生成用制御線、前記アナログ信号入力線、及び前記延長線の各々は、前記基板に接していることを特徴とする請求項 9 に記載のディスプレイパネルの駆動装置。

【請求項 11】 前記制御接続線の各々は、前記基板に接していることを特徴とする請求項 9 に記載のディスプレイパネルの駆動装置。

【請求項 12】 前記絶縁膜は、前記基板に接していることを特徴とする請求項 9 に記載のディスプレイパネルの駆動装置。

【請求項 13】 前記ダイオード機能膜は、前記基板に接していることを特徴とする請求項 9 に記載のディスプレイパネルの駆動装置。

【請求項 14】 前記ダイオード機能膜は、前記延長線の各々に沿って互いに隔離されていることを特徴とする請求項 9 に記載のディスプレイパネルの駆動装置。

【請求項 15】 前記ダイオード機能膜は、前記絶縁膜の開口部にのみ設けられていることを特徴とする請求項 9 に記載のディスプレイパネルの駆動装置。

【請求項 16】 前記ダイオード機能膜は、P 型半導体材料膜と N 型半導体材料膜の積層膜から成ることを特徴とする請求項 9 に記載のディスプレイパネル

の駆動装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、ディスプレイパネルの駆動装置等に関する。

【0002】

【従来の技術】

複数の表示素子を挟んで互いに交叉する複数のアドレス電極と複数のデータ電極とからなるディスプレイパネルとしては、例えば、有機エレクトロルミネセンス（以下、単に“有機EL”と称する）発光素子を表示素子として用いるアクティブマトリクス方式のディスプレイパネルが知られている（特許文献1を参照のこと）。かかるディスプレイパネルの概略構成を図1に示す。

【0003】

同図において、ディスプレイパネル10にはTFT素子及び有機EL発光素子から成る表示素子がマトリクス状に配列されている。因みに、ディスプレイパネルの国際的な規格であるVGA (Video Graphics Adaptor)規格によれば、ディスプレイパネル10には、例えば（640（×RGB）列×480行）ドットの表示素子が配列される。

【0004】

また、ディスプレイパネル10の周辺回路であるX転送回路20は、これらの640（×RGB）列に並んだ表示素子群の各々に表示すべきデータ信号を供給する回路である。つまり、X転送回路20からは、ディスプレイパネル10のX軸方向について、各RGB表示素子の各々について640本のデータ電極が並列に出力される。

【0005】

一方、Y転送回路30は、480行に並んだ各行の表示素子群を所定のタイミングで選択し、各行の表示素子群に選択信号であるアドレス信号を供給する回路である。そして、Y転送回路30からは、ディスプレイパネル10のY軸方向について480本のアドレス電極が並列に出力される。

以下、本明細書においては、これらのディスプレイパネルの周辺回路であるX転送回路20、及びY転送回路30をディスプレイパネル10の駆動装置と称する。

【0006】

従来、これらの駆動装置は、シフトレジスタなどの能動回路を主体に構成されていた。例えば、X転送回路20は、640段のシフトレジスタを用いて、図1に示されるX転送用信号に含まれるX転送パルスを順次シフトさせ、更にそのシフトパルスによってRGB表示素子毎のアナログ信号をサンプルホールドして上記のデータ信号を生成していた。また、Y転送回路30は、480段のシフトレジスタを用いて図1に示されるY転送用信号に含まれるY転送パルスを順次シフトさせて上記のアドレス信号を生成していた。

【0007】

しかしながら、シフトレジスタやサンプルホールドのような順序論理回路を構成するには、Pチャネル型及びNチャネル型の両極性のトランジスタを必要とする。それ故、駆動装置を構成する半導体素材としては、単極性のトランジスタやダイオードしか作ることができないアモルファスシリコンや有機半導体等の半導体素材を用いることができず、もっぱら、製造工程が複雑でコストの高い低温ポリシリコン半導体素材が用いられてきた。

【0008】

【特許文献1】

特願2002-93856号公報

【0009】

【発明が解決しようとする課題】

従って、本発明が解決しようとする課題には上述した問題が一例として挙げられる。

【0010】

【課題を解決するための手段】

請求項1に記載のディスプレイパネルの駆動装置は、基板上において表示素子を挟んで互いに交叉して設けられた複数のアドレス電極と複数のデータ電極とか

らなるディスプレイパネルの駆動装置であって、前記基板上において互いに並列に設けられた複数のアドレス信号生成用制御線と、前記基板上において絶縁膜とダイオード機能膜とを挟んで、前記アドレス信号生成用制御線の各々と交叉して複数の交叉部を形成する前記アドレス電極の各々からの延長線とを含み、前記絶縁膜は、前記交叉部のうちの少なくとも一部において開口部を有することを特徴とする。

【 0 0 1 1 】

また、請求項 9 に記載のディスプレイパネルの駆動装置は、基板上において表示素子を挟んで互いに交叉して設けられた複数のアドレス電極と複数のデータ電極とからなるディスプレイパネルの駆動装置であって、前記基板上において互いに並列に設けられた複数のデータ信号生成用制御線及び複数のアナログ信号入力線と、前記基板上において絶縁膜及びダイオード機能膜を挟んで前記データ信号生成用制御線及びアナログ信号入力線の各々と交叉して交叉部を形成する複数の制御接続線と、前記基板上において前記制御接続線の各々の端部と前記絶縁膜及びダイオード機能膜を挟んで重なり合う重複部を有する前記データ電極からの延長線とを含み、前記絶縁膜は、前記交叉部のうちの少なくとも一部及び前記重複部において開口部を有することを特徴とする。

【 0 0 1 2 】

【発明の実施の形態】

請求項 1 の記載によるディスプレイパネルの駆動装置の第 1 の実施例を図 2 に示す。

同図に示す如く、ディスプレイパネル 10 の表面にマトリクス状に設けられた表示素子 11 は、主に、発光素子 EL1、データ書き込み用トランジスタ Q1、発光素子駆動用トランジスタ Q2、及びストレージキャパシタ C1 から構成されている。ここで、表示素子 11 における発光動作を説明すれば以下のようになる。すなわち、所定のタイミングでアドレス電極 13 に重畳された Y 転送パルス（アドレス信号）によって Q1 がオンとなる。このとき、データ電極 12 に重畳された X 転送パルス（データ信号）による電荷が Q1 を経由して C1 に蓄えられる。一旦 C1 に電荷が蓄積されると、かかる電荷により Q2 のゲートの電位が高電

位となってQ2がオンとなり、電源電圧+Vccから駆動電流が供給されEL1が発光するのである。

【0013】

次に、ディスプレイパネルの駆動装置について説明を行う。因みに、請求項1の記載によるディスプレイパネルの駆動装置は、Y転送回路30の基板構造をそのポイントとする。それ故、以下の記載においては、Y転送回路30の構成のみを対象として説明を行う。

Y転送回路30は、ディスプレイパネルの制御装置（図示せず）から供給されるY転送クロック（約28.8kHz）に同期して、ディスプレイパネル10の各行の表示素子群を選択するアドレス信号を生成するアドレス信号生成回路である。かかるアドレス信号が生成される様子を図3のタイムチャートに示す。

【0014】

図3に示す如く、アドレス信号生成回路であるY転送回路30は（以下、説明の便宜上、Y転送回路30をアドレス信号生成回路と呼称する）、ディスプレイパネルに表示される1画面分（1フレーム）の時間である約16.7mS（1/60Hz）の間に、ディスプレイパネル10に敷設された480行分の表示素子群を順次選択する走査パルスを生成する。アドレス信号生成回路は、かかる走査パルスとしてY転送クロックに同期したアドレス信号を生成し、これをディスプレイパネル各行の表示素子群に供給するのである。

【0015】

次に、アドレス信号生成回路内部の構成を説明する。同回路は、図2に示す如く、アドレス信号生成データが重畳されたアドレス信号生成用データ制御線群32（以下、単に“制御線群32”と称する）、該制御線群32にアドレス信号生成データを供給するアドレス信号生成データ供給回路31（以下、単に“供給回路31”と称する）、組合せ論理回路33、及びアドレス電極13から構成されている。因みに、アドレス信号生成データとは、上記のアドレス信号を生成する基となるコード群のことをいう。即ち、供給回路31は、Y転送クロックを、例えば、所定のn進バイナリーカウンタでカウントし、 $2^0 \sim 2^n$ の各桁のパルス信号及びこれらの各桁を反転させたパルス信号を生成する。そして、かかるパルス

信号を並置して成る $2n$ ビットの符号を上記のコード群として用いる。

【0016】

図2に示す事例の場合、ディスプレイパネル10にはY軸方向について480行分の表示素子群が敷設されている。それ故、1行から480行までの各々の行アドレスを生成するのに必要とされるバイナリー符号のビット数は、

$$512 > 480 > 256$$

すなわち、

$$2^9 > 480 > 2^8$$

なる関係より9ビット長のバイナリー符号を準備すればよい。

【0017】

従って、供給回路31は、Y転送クロックをカウントする480進バイナリーカウンタとインバータ回路（共に図示せず）によって構成することができる。即ち、図2の事例では、供給回路31によって生成されたアドレス信号生成データは、 $n=9$ ビットのバイナリー符号及びその反転符号からなる。そして、 $2n=18$ ビットから成るコードが制御線群32に供給される。つまり、制御線群32は、9ビットのバイナリー符号Y8(MSB)～Y0(LSB)、及びその反転符号Y8b(MSB)～Y0b(LSB)が、その各々に重畳された18本の制御線から構成されることになる。

【0018】

前述の如く、480進バイナリーカウンタは、Y転送クロック（約28.8kHz）をカウントするため、1つのカウントステップは、図3に示す如く、Y転送クロックの一周期である約34.7μsとなる。なお、480進バイナリーカウンタのカウント値が一巡する480カウントに要する時間は、表示画面の1フレームに相当する時間である約16.7ms（約34.7μs×480ステップ）となることは言うまでもない。

【0019】

一方、組合せ論理回路33は、ANDゲートやORゲートなどの論理ゲート回路から成る組合せ論理回路であり、ディスプレイパネル10の各行毎に必要とされる。それ故、図2に示す事例では、1行から480行までのアドレス電極13

の各々に対応した480個の組合せ論理回路が必要とされ、これらの組合せ論理回路33の各々には、制御線群32の内から抽出された $n=9$ ビットの制御線が入力される。そして、各々の組合せ論理回路33は、かかる9ビットからなるコードを用いて、ディスプレイパネルの各々のアドレス電極の選択信号、即ちアドレス信号を出力するのである。

【0020】

組合せ論理回路33の具体的な動作とその構成については、図4に示す回路図を参照しつつ更に説明を行う。

因みに、図4においては説明を容易とすべく、制御線群32を $n=3$ ビットのバイナリーコードに限定している。この場合、かかるアドレス信号生成データからデコードし得るアドレスの数は、

$$2^n = 2^3 = 8$$

となる。すなわち、3ビットのバイナリーコード「000」で表される1行目のアドレス=AL1から、「111」で表される8行目のアドレス=AL8までの8行分である。なお、図4には便宜上2つの組合せ論理回路33A及び33Bのみが記載されているが、これらと同様の組合せ論理回路がAL1～AL8の各アドレスについて各々具備されていることは言うまでもない。

【0021】

制御線群32には、Y2(MSB)～Y0(LSB)のバイナリーコード及び、その反転コードであるY2b(MSB)～Y0b(LSB)の、 $2n=6$ ビットからなるコードが重畳されている。それ故、図5に示す如く、アドレス信号の1行から8行までのデコードが行われる際、制御線群32に重畳される上記6ビットのコードのうち、3ビットは必ず論理レベル「1」となり、残りの3ビット必ず「0」となる。

【0022】

一方、図4の回路に示す如く、組合せ論理回路は、3つのダイオードが各々のアノードを共通にして並列に接続され、各々のカソードを入力端子とする論理積回路となっている。つまり、組合せ論理回路の3つの入力端子の全てが「1」となったときにのみ、全てのダイオードがオフとなり、組合せ論理回路の出力であるコモン・アノードに抵抗Rを介して電源電圧+Vccの電位、即ち論理レベル

「1」が現れる。

【0023】

図4に示す回路では、組合せ論理回路33Aが1行目、即ちアドレス=AL1のデコード回路に相当し、組合せ論理回路33Bが2行目、即ちアドレス=AL2のデコード回路に相当する。そして、組合せ論理回路33Aを構成するダイオードD11～D13の各々のカソードには、制御線群32の内から抽出されたY2b, Y1b, Y0bの3本の制御線が接続されている。同様に、組合せ論理回路33Bの各カソードには、制御線群32の内から抽出されたY2b, Y1b, Y0の3本が接続されている。

【0024】

図5に示すコード群とデコードアドレスの関係からも明らかなように、アドレス=AL1のデコード時には、Y2b, Y1b, Y0bの3ビットの論理レベルが「1」となり、アドレス=AL2のデコード時には、Y2b, Y1b, Y0の3ビットの論理レベルが「1」となる。従って、上記のコード群が所定のアドレスを示すときに、各々のアドレスに対応した組合せ論理回路から論理レベル「1」のパルスがアドレス信号としてアドレス電極13に出力される。

【0025】

すなわち、本実施例によれば、ディスプレイパネルの駆動装置におけるアドレス信号生成回路をシフトレジスタのような順序論理回路を使用せずに、ダイオードのみで構成可能な組合せ論理回路を用いて実現し得る。それ故、ディスプレイパネルの駆動装置の構成部材として、アモルファスシリコンや有機半導体などの製造が容易で低コストの半導体素材を使用することが可能となる。

【0026】

次に、図4に示される組合せ論理回路の基板構造を図6に、同図中のA-A'に沿っての断面図を図7に示す。

図6及び図7において、基板40は、図4に示されたアドレス生成回路が形成されている基板である。因みに、図6の基板構造によって形成される電気回路は、図4に示された電気回路と等価であるが、図4中の電源+Vcc及び抵抗Rは、説明の便宜上省略されている。なお、図6に示す回路構成部分を独立した基板

構造とする必要はなく、例えば、ディスプレイパネル 1 0 を形成しているガラスや高分子材料から成る透明基板上に、ディスプレイパネル 1 0 の表示素子部と併設して実装する構造としても良い。

【 0 0 2 7 】

アドレス信号生成用データ制御線パターン 4 1（以下、単に“制御線パターン 4 1”と称する）は、制御線群 3 2 を構成する各々のアドレス信号生成用データ制御線を物理的に具現化したものである。即ち、制御線パターン 4 1 は、基板 4 0 の上に、例えば、銅合金やアルミニウム合金などの導電性材料を蒸着して形成された配線パターンである。なお、図 6 に示す基板構造をディスプレイパネルの透明基板上に表示素子部と併設して構成する場合は、制御線パターン 4 1 に I T O（酸化インジウム錫）などを利用した透明電極を用いても良い。

【 0 0 2 8 】

絶縁膜 4 2 は、例えば、酸化シリコンや窒化シリコンなどの高絶縁性を有する絶縁性薄膜であり、基板 4 0 の表面に接して上記制御線パターン 4 1 の各々を覆って設けられる。

また、ダイオード機能膜 4 3 は、単方向導電性を示すいわゆるダイオード機能を有した薄膜である。ダイオード機能膜 4 3 は、絶縁膜 4 2 に接して設けられており、p 型半導体材料膜 4 3 A と n 型半導体材料膜 4 3 B の積層膜から構成されている。つまり、p 型半導体材料膜 4 3 A と n 型半導体材料膜 4 3 B から成る P N 接合によって、ダイオード機能膜 4 3 には 4 3 A 側をアノード、4 3 B 側をカソードとするダイオードが形成されることになる。p 型半導体材料膜 4 3 A 及び n 型半導体材料膜 4 3 B の素材としては、例えば、アモルファスシリコン素材を用いても良いし、或いは有機半導体素材を用いても良い。

【 0 0 2 9 】

なお、基板上に、絶縁膜 4 2 及びダイオード機能膜 4 3 を形成する方法としては、蒸着、印刷、或いは気相成長など種々の薄膜生成方法を用いることが可能である。すなわち、絶縁膜 4 2 やダイオード機能膜 4 3 として使用する素材に最も適した薄膜生成法を用いればよい。

アドレス電極延長線パターン 4 4（以下、単に“延長線パターン 4 4”と称す

る)は、図4の回路におけるアドレス電極13の延長部を基板上に具現化したものである。延長線パターン44は、制御線パターン41と同様に、アルミニウム合金などの導電性材料をダイオード機能膜43の上に蒸着などの処理を行うことにより形成される。因みに、かかる延長線パターン44が延伸され、ディスプレイパネル10の各行毎のアドレス電極13に接続されることは言うまでもない。

【0030】

図6に示す如く、各々の延長線パターン44は、上記の制御線パターン41と直交するように敷設されている。また、図6及び図7からも明らかなように、延長線パターン44と制御線パターン41とが交叉する所定の交叉位置において、絶縁膜42は開口部45を有している。

次に、本実施例における動作について図6及び図7を参照しつつ説明を行う。

【0031】

本実施例では、絶縁膜42の開口部45において交叉する制御線パターン41と延長線パターン44との間に、p型半導体材料膜43Aとn型半導体材料膜43Bから成るPN接合ダイオードが接続されることになる。

この様子を、図7の断面図に示すダイオードD11を例に採り説明すれば次のようになる。

【0032】

すなわち、ダイオードD11において、制御線パターン41（この場合、制御線パターン41はアドレス信号生成用データ制御線のY2bに相当する）がダイオードのカソードに接続され、延長線パターン44がダイオードのアノードに接続される。また、延長線パターン44は、1本の配線パターンとなっているので、各開口部45に形成された各々のダイオードのアノード側は、延長線パターン44を介して全て並列に接続されることになる。

【0033】

つまり、延長線パターン44に沿って形成された各々のダイオードのアノードは、図7に示す如く、全て並列に接続されることになる。例えば、アドレスAL=1に相当する延長線パターン44に関しては、ダイオードD11、D12、D13のアノードが全て並列に接続されたダイオードアレイが形成される。そして

、各々のダイオードのカソードは、それぞれ Y 2 b, Y 1 b, Y 0 b の制御線に接続されている。従って、AL = 1 に相当する延長線パターン 4 4 に沿って形成される電気回路は、図 4 に示した組合せ論理回路 3 3 A の論理積回路の部分と等価になる。

【 0 0 3 4 】

すなわち、本実施例によれば、絶縁膜 4 2 に設けた開口部 4 5 において、制御線パターン 4 1、延長線パターン 4 4、及び両パターン間のダイオード機能膜 4 3 により形成された回路に、図 4 に示す組合せ論理回路としての機能を持たせることが可能となる。それ故、基板上には別途、組み合わせ論理回路や、同回路と制御線パターン 4 1 とを接続するスルーホールなどを設ける必要がなく、ディスプレイ駆動装置の基板構造を簡略化でき、その小型化を図ることができる。

【 0 0 3 5 】

なお、本実施例は、図 6 及び図 7 に示した構成に限定されるものではなく、例えば、図 8 に示す如く、制御線パターン 4 1 の一部を絶縁膜 4 2 の下に潜り込ませる構造としても良い。

次に、請求項 1 の記載によるディスプレイパネルの駆動装置の第 2 の実施例について説明する。

【 0 0 3 6 】

第 2 の実施例によるディスプレイパネルの駆動装置の基板構造を図 9 に、同図中の A - A' に沿っての断面図を図 1 0 に示す。

図 1 0 の断面図に示す如く、本実施例による基板構造では、基板 4 0 の上に n 型半導体材料膜 4 3 B、p 型半導体材料膜 4 3 A、絶縁膜 4 2 の順で各構成部位が積層されている。そして、延長線パターン 4 4 は、絶縁膜 4 2 の所定の位置に設けられた開口部 4 5 を通して p 型半導体材料膜 4 3 A に接している。それ故、当該開口部の上下で交叉する延長線パターン 4 4 と制御線パターン 4 1 との間には、ダイオード機能膜 4 3 による PN 接合ダイオードが接続されることになる。

【 0 0 3 7 】

つまり、前述した第 1 の実施例における絶縁膜 4 2 とダイオード機能膜 4 3 の積層順序を入れ替えたものが第 2 の実施例となる。本実施例と第 1 の実施例の構

造上の相異はかかる点のみであるため、第 2 の実施例についての構造及び動作についての説明は省略する。

なお、請求項 1 の記載によるディスプレイパネルの駆動装置は、以上説明した各実施例に限定されるものではない。

【 0 0 3 8 】

例えば、第 1 及び第 2 の実施例で示した基板構造において、延長線パターン 4 4 と制御線パターン 4 1 との上下位置関係を逆転させる構造としても良い。即ち、基板 4 0 の側に延長線パターン 4 4 を設け、その上に絶縁膜 4 2 とダイオード機能膜 4 3 を挟んで制御線パターン 4 1 を設けるようにしても良い。

また、第 1 及び第 2 の実施例では、ダイオード機能膜 4 3 が絶縁膜 4 2 の上面、若しくは下面の全域に亘り設けられていたが、ダイオード機能膜 4 3 の敷設面を所定の範囲に限定する構造としても良い。

【 0 0 3 9 】

例えば、図 1 1 又は図 1 2 に示す如く、ダイオード機能膜 4 3 を延長線パターン 4 4 の各々に沿って、お互いに隔離して設けるようにしても良い。因みに、図 1 1 は、図 6 に示した第 1 の実施例についてかかる構造を適用したものであり、図 1 2 は、図 9 に示す第 2 の実施例について適用した場合を示す。

或いは、図 1 3 又は図 1 4 に示す如く、ダイオード機能膜 4 3 を絶縁膜 4 2 の開口部 4 5 及びその近傍のみに設ける構造としても良い。因みに、図 1 3 は、図 6 に示した第 1 の実施例についてかかる構造を適用したものであり、図 1 4 は、図 9 に示す第 2 の実施例について適用した場合である。

【 0 0 4 0 】

また、これらの図 1 1 から図 1 4 に示した基板構造と、前述した延長線パターン 4 4 と制御線パターン 4 1 との上下位置関係を逆転させる基板構造と、を組み合わせ用いる基板構造としても良い。

さらに、ド・モルガンの定理によれば、正論理に基づく論理積は、負論理に基づく論理和に等しいことが知られている。それ故、図 4 に示した組合せ論理回路の動作を負論理動作として、同回路を図 1 5 に示すような形で構成することもできる。そして、かかる回路構成についても、以上に示した種々の基板構造によっ

て実現することができる。但し、この場合、ダイオード機能膜 4 3 を構成する p 型半導体材料膜 4 3 A と n 型半導体材料膜 4 3 B の積層順序は、以上に示した各実施例とは逆の積層順序になることは言うまでもない。

【 0 0 4 1 】

次に、請求項 9 の記載によるディスプレイパネルの駆動装置の第 1 の実施例を図 1 6 に示す。

同図に示す如く、ディスプレイパネル 1 0 の表面にマトリクス状に設けられた表示素子 1 1 は、主に、発光素子 E L 1、データ書き込み用トランジスタ Q 1、発光素子駆動用トランジスタ Q 2、及びストレージキャパシタ C 1 から構成されている。ここで、表示素子 1 1 における発光動作の概略を説明すれば以下のようになる。

【 0 0 4 2 】

先ず、所定のタイミングでアドレス電極 1 3 に重畳された Y 転送パルス、即ちアドレス信号によって Q 1 がオンとなる。このとき、データ電極 1 2 に重畳された X 転送パルス、即ちデータ信号による電荷が Q 1 を経由して C 1 に蓄えられる。一旦 C 1 に電荷が蓄積されると、かかる電荷により Q 2 のゲートの電位が高電位となって Q 2 がオンとなり、電源電圧 + V c c から駆動電流が発光素子 E L 1 に供給され E L 1 が発光するのである。

【 0 0 4 3 】

次に、ディスプレイパネルの駆動装置について説明を行う。因みに、請求項 9 の記載によるディスプレイパネルの駆動装置は、X 転送回路 2 0 の基板構造をそのポイントとする。それ故、以下の記載においては、X 転送回路 2 0 の構成のみを対象として説明を行う。

X 転送回路 2 0 は、ディスプレイパネルの制御装置（図示せず）から供給される X 転送クロック（約 1 8 . 4 M H z）に同期して、ディスプレイパネル 1 0 の各々のデータ電極列に、データ信号を供給するデータ信号生成回路である。かかるデータ信号が生成される様子を図 1 7 のタイムチャートに示す。

【 0 0 4 4 】

図 1 7 に示す如く、データ信号生成回路である X 転送回路 2 0（以下、説明の

便宜上、X転送回路20をデータ信号生成回路と呼称する)は、ディスプレイパネル10のRGB表示素子毎に640列に亘り敷設された表示素子群を34.7 μ Sの間に順次走査して、これらのデータ電極にデータ信号を供給するパルスを生成する。因みに、上記の34.7 μ Sという時間は、表示画面の1フレーム内において、その1行分の走査が行われる時間(1/60Hz \times 480行)を表すものである。

【0045】

すなわち、データ信号生成回路は、図17に示す如く、X転送クロックに同期したデータ電極列走査パルスを生成する。そして、かかるデータ電極列走査パルスを用いてRGB毎のアナログ信号をサンプリングし、RGB表示素子毎のデータ電極DL1からDL640に供給するデータ信号を得る。

次に、データ信号生成回路内部の構成を更に具体的に説明する。同回路は、図16に示す如く、データ信号生成用のアドレスコードが重畳されたデータ信号生成用アドレス線群22(以下、単に“アドレス線群22”と称する)、該アドレス線群22にアドレスコードを供給するアドレスコード供給回路21(以下、単に“供給回路21”と称する)、組合せ論理回路23、アナログ信号入力線群24、及びデータ電極12から構成されている。

【0046】

因みに、アドレスコードとは、上記のデータ電極列走査パルスを生成する基となるデータ電極列のアドレスをデコードするためのコードをいう。即ち、供給回路21は、X転送クロックを、例えば所定のn進バイナリーカウンタでカウントし、 $2^0 \sim 2^n$ の各桁のパルス信号及びこれらの各桁を反転させたパルス信号を生成する。そして、これらのパルス信号を並置して成る2nビットの符号を上記のアドレスコードとして用いるのである。

【0047】

図16に示す事例では、ディスプレイパネル10には、X軸方向についてRGB各表示素子毎に640列(DL1~DL640)のデータ電極が設けられている。それ故、DL1からDL640までの各々のデータ電極のアドレスを生成するのに必要とされるバイナリー符号のビット数は、

$$1024 > 640 > 512$$

すなわち、

$$2^{10} > 640 > 2^9$$

なる関係より10ビット長のバイナリー符号を準備すればよいことが判る。

【0048】

従って、供給回路21は、X転送クロックをカウントする640進バイナリーカウンタとインバータ回路（共に図示せず）によって構成することができる。つまり、図16の事例では、供給回路21によって生成されたアドレスコードは、 $n=10$ ビットのバイナリー符号及びその反転符号からなる。そして、かかる $2n=20$ ビットから成るアドレスコードがアドレス線群22に供給される。即ち、アドレス線群22は、10ビットのバイナリー符号 X_9 (MSB)～ X_0 (LSB)、及びその反転符号 X_9b (MSB)～ X_0b (LSB)が重畳された20本のアドレス線から構成されている。

【0049】

前述の如く、640進バイナリーカウンタは、X転送クロック（約18.4MHz）をカウントするため、1つのカウントステップは、X転送クロックの一周期である約54.3ns（ $1/18.4\text{MHz}$ ）となる。また、640進バイナリーカウンタが一巡する640カウントに要する時間は、表示画面1フレームの1行分の走査時間に相当する約34.7μs（約54.3ns×640ステップ）となることは言うまでもない。

【0050】

一方、組合せ論理回路23は、ANDゲートやORゲートなどの論理ゲート回路から成る組合せ論理回路であり、ディスプレイパネル10のRGB表示素子毎の各々のデータ電極列毎に必要とされる。それ故、図16に示す事例では、RGB表示素子毎にDL1からDL640までのデータ電極列の各々に対応した640（×RGB）個の組合せ論理回路23が必要とされる。そして、これらの組合せ論理回路23の各々には、アドレス線群22の内から抽出された10本（ $n=10$ ビット）のアドレス線が入力されている。つまり、組合せ論理回路23の各々は、かかる10ビットのコードを用いて、各々のデータ電極12を選択する走

査パルスを生成する。そして、図 1 7 のタイムチャートに示す如く、この走査パルスを用いて RGB 表示素子毎の各アナログ信号をサンプルしてデータ信号と為し、これをディスプレイパネル 1 0 上の各々のデータ電極 1 2 に供給するのである。

【 0 0 5 1 】

組合せ論理回路 2 3 の具体的な動作とその構成については、図 1 8 に示す回路図を参照しつつ更に説明を行う。

因みに、図 1 8 においては説明を容易とすべく、アドレス線群 2 2 を $n = 3$ ビットのバイナリー符号に限定している。この場合、かかるアドレスコードからデコードし得るデータ電極列のアドレスの数は、

$$2^n = 2^3 = 8$$

となる。すなわち、3 ビットのバイナリコード「0 0 0」で表される 1 列目のデータ電極 (DL 1) から、「1 1 1」で表される 8 列目のデータ電極 (DL 8) までの 8 列分である。なお、図 1 8 には、便宜上 2 つの組合せ論理回路 2 3 A 及び 2 3 B のみ記載されているが、これらと同様の組合せ論理回路が DL 1 ~ DL 8 の各々のデータ電極列について具備されていることは言うまでもない。

【 0 0 5 2 】

図 1 8 のアドレス線群 2 2 には、X 2 (MSB) ~ X 0 (LSB) のバイナリー符号及び、その反転符号である X 2 b (MSB) ~ X 0 b (LSB) の、 $2n = 6$ ビットからなるアドレスコードが重畳されている。それ故、図 1 9 に示す如く、DL 1 から DL 8 までのデータ電極列のデコードが行われる際、アドレス線群 2 2 に重畳される 6 ビットのアドレスコードのうち、3 ビットは必ず論理レベルの「1」となり、残りの 3 ビット必ず「0」となる。

【 0 0 5 3 】

図 1 8 から明らかなように、各々の組合せ論理回路では、入力側の 3 つのダイオードのカソードがデジタル信号の入力用として、それぞれアドレス線群 2 2 に接続されている。また、入力側の 1 つのダイオードのカソードがアナログ信号の入力用として、アナログ信号入力線群 2 4 の内の所定の 1 本に接続されている。因みにアナログ信号入力線群 2 4 は、RGB の各表示素子に対応して設けられ

ており、RGB毎に各々のアナログ信号の振幅値を表す電圧が重畳されている。なお、図18では、説明の便宜上かかるアナログ信号入力線群24のうちの所定の1本のみが記載されている。また、図18の回路では、出力側のダイオードのカソードが、アナログ信号の出力用として各々の組合せ論理回路に対応するデータ電極12に接続されている。そして、以上説明した各ダイオードのアノードは、全て並列に接続されておりかかる接続点、即ちコモンアノードは、プルアップ抵抗Rを介して電源電圧Vccに接続されている。

【0054】

図18の回路において、アドレス線群22に重畳されているアドレスコードの論理レベル「1」の閾値電圧をVH、論理レベル「0」の閾値電圧をVLとし、アナログ信号入力線の電圧をVanとすると、

$$VH > Van > VL$$

なる関係が成立するものと仮定する。また、組合せ論理回路の電源電圧Vccとアナログ信号入力線の電圧Vanとの間には当然

$$Vcc > Van$$

なる関係が成立する。

【0055】

アドレス線群22に接続された3つのダイオードのデジタル入力が全て論理レベル「1」となるタイミングにおいて、これら3つのダイオードは全てオフとなる。一方、アナログ入力用のダイオードは、カソード側の電圧Vanがアノード側の電圧Vccに較べて低いためオンの状態を保っている。

それ故、上記のタイミングにおいて、組み合わせ論理回路のコモンアノードの電位は、そのときのアナログ信号入力線の電圧Vanとなる。そして、かかる電圧Vanが、アナログ出力用のダイオードを介して各組合せ論理回路に対応するデータ電極に供給されるのである。

【0056】

図18に示す回路では、組合せ論理回路23Aが1列目、即ちデータ電極DL1のデコード回路に相当し、組合せ論理回路23Bが2列目、即ちデータ電極DL2のデコード回路に相当する。そして、組合せ論理回路23Aを構成するダイ

オードD11～D13の各々のカソードには、アドレス線群22の内から抽出されたX2b, X1b, X0bの3本のアドレス線が接続されている。同様に、組合せ論理回路23Bの各々のカソードには、アドレス線群22の内から抽出されたX2b, X1b, X0の3本が接続されている。

【0057】

図19に示したデータ電極アドレスとアドレスコードの関係からも明らかなように、データ電極DL1のデコード時には、X2b, X1b, X0bの3ビットの論理レベルが「1」となり、データ電極DL2のデコード時には、X2b, X1b, X0の3ビットの論理レベルが「1」となる。従って、アドレスコードが所定のアドレスを示すときに、各々のアドレスコードに対応した組合せ論理回路から、アナログ信号入力線の電圧V_{an}がデータ信号として所定のデータ電極に出力される。

【0058】

すなわち、本実施例によれば、ディスプレイパネルの駆動装置におけるデータ信号生成回路を、シフトレジスタ回路やサンプルホールド回路を使用せずに、ダイオードのみを用いた単純な組合せ論理回路のみで実現し得る。それ故、ディスプレイパネル駆動装置の構成部材として、アモルファスシリコンや有機半導体などの製造が容易で低コストの半導体素材を使用することが可能となる。

【0059】

次に、図18に示される組合せ論理回路の基板構造を図20に、同図中のA-A'に沿っての断面図を図21に示す。

図20及び図21において、基板50は、図18に示した回路が形成されている基板である。因みに、図20及び図21の基板構造によって形成される組合せ論理回路は、図18に示す回路と等価であるが、図中の電源電圧V_{cc}及びプルアップ抵抗Rは説明の便宜上省略されている。また、図20に示される部分のみを独立した基板構造とする必要はなく、例えば、ディスプレイパネル10を形成しているガラスや高分子材料から成る透明基板上に、表示素子用のTFT回路と併設して実装するような構造としても良い。

【0060】

図 2 0 等の構造図において、データ信号生成用アドレス線パターン 5 1（以下、単に“アドレス線パターン 5 1”と称する）は、上記アドレス線群 2 2 を構成する各々のアドレス線を物理的に具現化したものである。即ち、アドレス線パターン 5 1 は、基板 5 0 の上に、例えば、銅合金やアルミニウム合金などの導電性材料を蒸着又は印刷して形成された配線パターンである。なお、図 2 0 等の構造図に示す基板構造をディスプレイパネル 1 0 上に、表示素子用の T F T 回路と併設する場合は、アドレス線パターン 5 1 を I T O（インジウム錫）などの導電材料を利用した透明電極としても良い。

【 0 0 6 1 】

データ電極延長線パターン 5 5（以下、単に“延長線パターン 5 5”と称する）は、図 1 8 の回路図におけるデータ電極 1 2 の延長線を基板上に具現化したものである。なお、かかる延長線パターン 5 5 が延伸され、ディスプレイパネル 1 0 の各データ電極 1 2 に接続されることは言うまでもない。また、アナログ信号入力線パターン 5 6（以下、単に“アナログ線パターン 5 6”と称する）は、アナログ信号入力線群 2 4 を構成する R G B 何れかのアナログ信号入力線を基板上に具現化したものである。なお、延長線パターン 5 5 及びアナログ線パターン 5 6 の材料・製法等に関しては、上記のアドレス線パターン 5 1 と同様とする。

【 0 0 6 2 】

絶縁膜 5 2 は、例えば、酸化シリコンや窒化シリコンなどの高絶縁性を有する絶縁性薄膜であり、基板 5 0 の表面に接して、上記のアドレス線パターン 5 1、延長線パターン 5 5、及びアナログ線パターン 5 6 の各々を覆って設けられている。

ダイオード機能膜 5 3 は、単方向導電性を示すいわゆるダイオード機能を有した薄膜である。ダイオード機能膜 5 3 は、絶縁膜 5 2 に接して設けられており、図 2 1 の断面図に示す如く、P 型半導体材料膜 5 3 A と N 型半導体材料膜 5 3 B の積層膜から構成されている。つまり、P 型半導体材料膜 5 3 A と N 型半導体材料膜 5 3 B から成る P N 接合によって、ダイオード機能膜 5 3 には 5 3 A 側をアノード、5 3 B 側をカソードとするダイオードが形成されることになる。P 型半導体材料膜 5 3 A 及び N 型半導体材料膜 5 3 B の素材としては、例えば、アモル

ファスシリコン素材を用いても良いし、或いは有機半導体素材を用いても良い。

【 0 0 6 3 】

なお、基板上に、絶縁膜 5 2 及びダイオード機能膜 5 3 を形成する方法としては、蒸着、印刷、或いは気相成長など種々の薄膜生成方法を用いることが可能である。すなわち、絶縁膜 5 2 やダイオード機能膜 5 3 に使用する素材に最も適した薄膜生成法を用いればよい。

制御接続線パターン 5 4（以下、単に“接続線パターン 5 4”と称する）は、図 1 8 の組合せ論理回路に含まれる各ダイオードのコモンアノード側の接続部分を基板上に具現化したものである。接続線パターン 5 4 は、アドレス線パターン 5 1 等と同様に、アルミニウム合金などの導電性材料を用いてダイオード機能膜 5 3 の上に形成される。つまり、接続線パターン 5 4 は、絶縁膜 5 2 とダイオード機能膜 5 3 を挟んで、上記のアドレス線パターン 5 1、延長線パターン 5 5、及びアナログ線パターン 5 6 と相対して設けられることになる。

【 0 0 6 4 】

図 2 0 に示す如く、接続線パターン 5 4 は、各々の組合せ論理回路毎に 1 本ずつ設けられており、上記のアドレス線パターン 5 1、及びアナログ線パターン 5 6 と直交するように敷設されている。また、接続線パターン 5 4 の端部は、延長線パターン 5 5 の端部と重複するように設けられている。

図 2 0 及び図 2 1 から明らかなように、接続線パターン 5 4 とアドレス線パターン 5 1 が交叉する所定の交叉箇所において、絶縁膜 5 2 には開口部 5 7 が設けられている。また、接続線パターン 5 4 とアナログ線パターン 5 6 が交叉する箇所、及び接続線パターン 5 4 の端部と延長線パターン 5 5 の端部が重複する箇所の全てにおいても絶縁膜 5 2 に開口部が設けられている。これらの開口部では絶縁膜が取り除かれているため、ダイオード機能膜 5 3 を挟持する上下パターンの間に電気的な接触が生ずる。即ち、かかる開口部においては、接続線パターン 5 4 と、アドレス線パターン 5 1、アナログ線パターン 5 6、及び延長線パターン 5 5 の各々との間に、P 型半導体材料膜 5 3 A 及び N 型半導体材料膜 5 3 B から成る PN 接合ダイオードが接続されることになる。

【 0 0 6 5 】

この様子を、図 2 1 の断面図を用いて説明すれば次のようになる。即ち、同図の左側から、先ず、接続線パターン 5 4 とアナログ線パターン 5 6 との間にダイオード D 1 4 が形成される。続いて、接続線パターン 5 4 とアドレス線パターン 5 1 の各々との間にダイオード D 1 1、ダイオード D 1 2、及びダイオード D 1 3 がそれぞれ形成される。そして、図 2 1 の最右端において、接続線パターン 5 4 と延長線パターン 5 5 との間にダイオード D 1 5 が形成される。

【 0 0 6 6 】

言うまでもなく、これらのダイオードにおいては、接続線パターン 5 4 がダイオードのアノード側に接続され、他のパターンの各々がカソード側に接続される。また、接続線パターン 5 4 は、1 本の配線パターンであるため、各開口部に形成された各々のダイオードのアノード側は、接続線パターン 5 4 によって互いに接続される。つまり、接続線パターン 5 4 に沿って形成された各々のダイオードのアノードは、図 2 1 に示す如く、全て並列に接続されることになる。

【 0 0 6 7 】

例えば、図 2 0 において、データ電極 D L 1 に相当する接続線パターン 5 4 に関しては、ダイオード D 1 4、D 1 1、D 1 2、D 1 3、D 1 5 のアノードが全て並列に接続されたダイオードアレイが形成される。そして、各々のダイオードのカソードは、それぞれ、アナログ線パターン 5 6、アドレス線パターン 5 1 の X 2 b、X 1 b、X 0 b、及び D L 1 のデータ電極延長線パターン 5 5 に接続されている。従って、かかる接続線パターン 5 4 に沿って形成される電気回路は、図 1 8 に示した組合せ論理回路 2 3 A と等価になる。

【 0 0 6 8 】

すなわち、本実施例によれば、絶縁膜 5 2 の開口部を利用して基板上に形成されたダイオード回路を図 1 8 に示す組合せ論理回路として用いることができる。それ故、基板上にアナログ線パターン 5 6、アドレス線パターン 5 1 等の各種の信号パターンとは別個に、組み合わせ論理回路や同回路と前者の各パターンとを接続するスルーホールなどを設ける必要がなく、ディスプレイ駆動装置の基板構造を簡略化できその小型化を図ることができる。

【 0 0 6 9 】

なお、本実施例は、図 2 0 等 に示した基板構造に限定されるものではなく、例えば、図 2 2 に示す如く、絶縁膜 5 2 によってアドレス線パターン 5 1 の縁部を覆う構造としても良い。

次に、請求項 9 の記載によるディスプレイパネルの駆動装置の置第 2 の実施例について説明を行う。

【 0 0 7 0 】

第 2 の実施例によるディスプレイパネルの駆動装置の基板構造を図 2 3 に、図中 A - A' に沿っての断面図を図 2 4 に示す。

図 2 4 の断面図に示す如く、本実施例による基板構造では、基板 5 0 の上にアドレス線パターン 5 1、アナログ線パターン 5 6、及び延長線パターン 5 5 の各々のパターンが敷設される点で前述した第 1 の実施例と同様である。しかしながら、本実施例ではこれらのパターンを覆って、先ず、N 型半導体材料膜 5 3 B が設けられ、その上に P 型半導体材料膜 5 3 A、絶縁膜 5 2 の順で各薄膜が積層される。そして、絶縁膜 5 2 の上に接続線パターン 5 4 が敷設され、これらのパターンが交叉または重複する所定の位置で絶縁膜 5 2 に開口部 5 7 が設けられている。それ故、これらの開口部の上下で交叉または重複する上下パターンの間に、ダイオード機能膜 5 3 による P N 接合ダイオードが接続されることになる。

【 0 0 7 1 】

すなわち、第 1 の実施例における絶縁膜 5 2 とダイオード機能膜 5 3 の積層順序を入れ替えたものが第 2 の実施例となる。本実施例と第 1 の実施例の構造上の相異はかかる点のみであるため、第 2 の実施例についての構造及び動作についての説明は省略する。

なお、請求項 9 の記載によるディスプレイパネルの駆動装置は、以上説明した第 1 及び第 2 の実施例に限定されるものではない。

【 0 0 7 2 】

例えば、第 1 及び第 2 の実施例で示した基板構造において、接続線パターン 5 4 と、アドレス線パターン 5 1、アナログ線パターン 5 6、及び延長線パターン 5 5 との上下位置関係を逆転させる構造としても良い。即ち、基板 5 0 の側に接続線パターン 5 4 を設け、その上に絶縁膜 5 2 とダイオード機能膜 5 3 を挟んで

アドレス線パターン 5 1、アナログ線パターン 5 6、及び延長線パターン 5 5 を設ける構造にしても良い。

【 0 0 7 3 】

また、以上の説明においては、ダイオード機能膜 5 3 が絶縁膜 5 2 の上面、若しくは下面の全域に亘り設けられていたが、ダイオード機能膜 5 3 の敷設面を所定の範囲に限定する構造としても良い。

例えば、図 2 5 又は図 2 6 に示す如く、ダイオード機能膜 5 3 を接続線パターン 5 4 の各々に沿って、お互いに隔離して設けるようにしても良い。因みに、図 2 5 は、図 2 0 に示した第 1 の実施例についてかかる構造を適用したものであり、図 2 6 は、図 2 3 に示す第 2 の実施例について適用した場合を示す。

【 0 0 7 4 】

或いは、図 2 7 又は図 2 8 に示す如く、ダイオード機能膜 5 3 を絶縁膜 5 2 の開口部 5 5 及びその近傍のみに設ける構造としても良い。因みに、図 2 7 は、図 2 0 に示した第 1 の実施例についてかかる構造を適用したものであり、図 2 8 は、図 2 3 に示す第 2 の実施例について適用した場合である。

また、これらの図 2 5 から図 2 8 に示した基板構造と、上述した接続線パターン 5 4 と、アドレス線パターン 5 1、アナログ線パターン 5 6、及び延長線パターン 5 5 との上下位置関係を逆転させる基板構造と、を組み合わせる基板構造としても良い。

【 0 0 7 5 】

さらに、ド・モルガンの定理によれば、正論理に基づく論理積は、負論理に基づく論理和に等しいことが知られている。それ故、図 1 8 に示した組合せ論理回路の動作を負論理として、同回路を図 2 9 に示すような形で構成することもできる。そして、かかる回路構成についても、以上に示した種々の基板構造によってこれを実現することができる。但し、この場合、ダイオード機能膜 5 3 を構成する P 型半導体材料膜 5 3 A と N 型半導体材料膜 5 3 B の積層順序は、以上に示した各実施例とは逆の積層順序になることは言うまでもない。

【 0 0 7 6 】

以上詳述した本発明の各実施例によれば、ディスプレイパネル駆動装置の構成

部材としてアモルファスシリコン素材や有機半導体素材を用いることができ、かつ基板構造を簡略することができるため、ディスプレイパネル駆動装置の小型化及び低コスト化を図ることが可能となる。

【図面の簡単な説明】

【図 1】

図 1 は、アクティブマトリクス方式によるディスプレイパネルの構成を示すブロック図である。

【図 2】

図 2 は、請求項 1 に記載の発明によるディスプレイパネルの駆動装置の構成を示すブロック図である。

【図 3】

図 3 は、図 2 のディスプレイパネルの駆動装置の動作を表したタイムチャートである。

【図 4】

図 4 は、図 2 のディスプレイパネルの駆動装置におけるアドレス信号生成回路の構成を示す回路図である。

【図 5】

図 5 は、図 4 の回路において、アドレス信号生成用データ制御線群に重畳されるコード群とデコードアドレスとの関係を表したコード表である。

【図 6】

図 6 は、図 4 の回路を基板上に実装した場合の第 1 の実施例を示す基板構造図である。

【図 7】

図 7 は、図 6 の A - A' に沿っての断面図である。

【図 8】

図 8 は、図 6 及び図 7 に示す構造の変形実施例を示す基板構造断面図である。

【図 9】

図 9 は、図 4 の回路を基板上に実装した場合の第 2 の実施例を示す基板構造図である。

【図 1 0】

図 1 0 は、図 9 の A - A' に沿っての断面図である。

【図 1 1】

図 1 1 は、図 6 及び図 7 に示す基板構造の変形実施例を示す図である。

【図 1 2】

図 1 2 は、図 9 及び図 1 0 に示す基板構造の変形実施例を示す図である。

【図 1 3】

図 1 3 は、図 6 及び図 7 に示す基板構造の他の変形実施例を示す図である。

【図 1 4】

図 1 4 は、図 9 及び図 1 0 に示す基板構造の他の変形実施例を示す図である。

【図 1 5】

図 1 5 は、図 4 のアドレス信号生成回路の他の構成を示す回路図である。

【図 1 6】

図 1 6 は、請求項 9 に記載の発明によるディスプレイパネルの駆動装置の構成を示すブロック図である。

【図 1 7】

図 1 7 は、図 1 6 のディスプレイパネルの駆動装置の動作を表したタイムチャートである。

【図 1 8】

図 1 8 は、図 1 6 のディスプレイパネルの駆動装置におけるデータ信号生成回路の構成を示す回路図である。

【図 1 9】

図 1 9 は、図 1 8 の回路において、データ信号生成用アドレス線群に重畳されるコード群とデコードアドレスとの関係を表したコード表である。

【図 2 0】

図 2 0 は、図 1 8 の回路を基板上に実装した場合の第 1 の実施例を示す基板構造図である。

【図 2 1】

図 2 1 は、図 2 0 の A - A' に沿っての断面図である。

【図 2 2】

図 2 2 は、図 2 0 及び図 2 1 に示す構造の変形実施例を示す基板構造断面図である。

【図 2 3】

図 2 3 は、図 1 8 の回路を基板上に実装した場合の第 2 の実施例を示す基板構造図である。

【図 2 4】

図 2 4 は、図 2 3 の A - A' に沿っての断面図である。

【図 2 5】

図 2 5 は、図 2 0 及び図 2 1 に示す基板構造の変形実施例を示す図である。

【図 2 6】

図 2 6 は、図 2 3 及び図 2 4 に示す基板構造の変形実施例を示す図である。

【図 2 7】

図 2 7 は、図 2 0 及び図 2 1 に示す基板構造の他の変形実施例を示す図である。

【図 2 8】

図 2 8 は、図 2 3 及び図 2 4 に示す基板構造の他の変形実施例を示す図である。

【図 2 9】

図 2 9 は、図 1 8 のデータ信号生成回路の他の構成を示す回路図である。

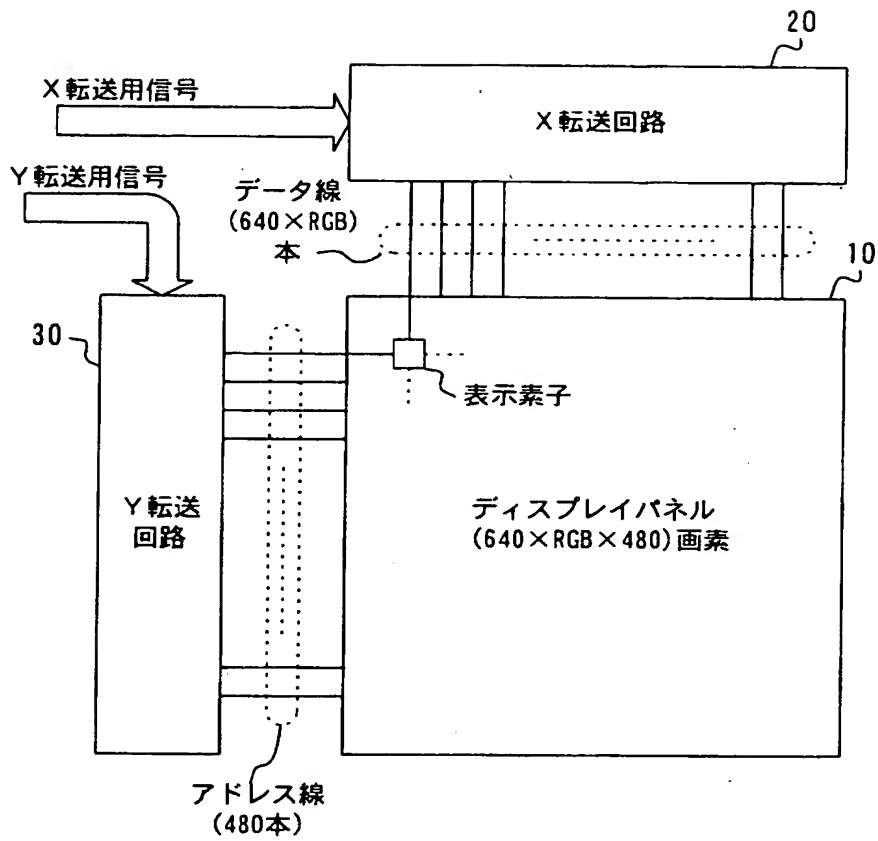
【符号の説明】

- 1 0 … ディスプレイパネル
- 1 1 … 表示素子
- 1 2 … データ電極
- 1 3 … アドレス電極
- 2 0 … X 転送回路
- 2 1 … アドレスコード供給回路
- 2 2 … データ信号生成用アドレス線群
- 2 3, 2 3 A, 2 3 B … 組合せ論理回路

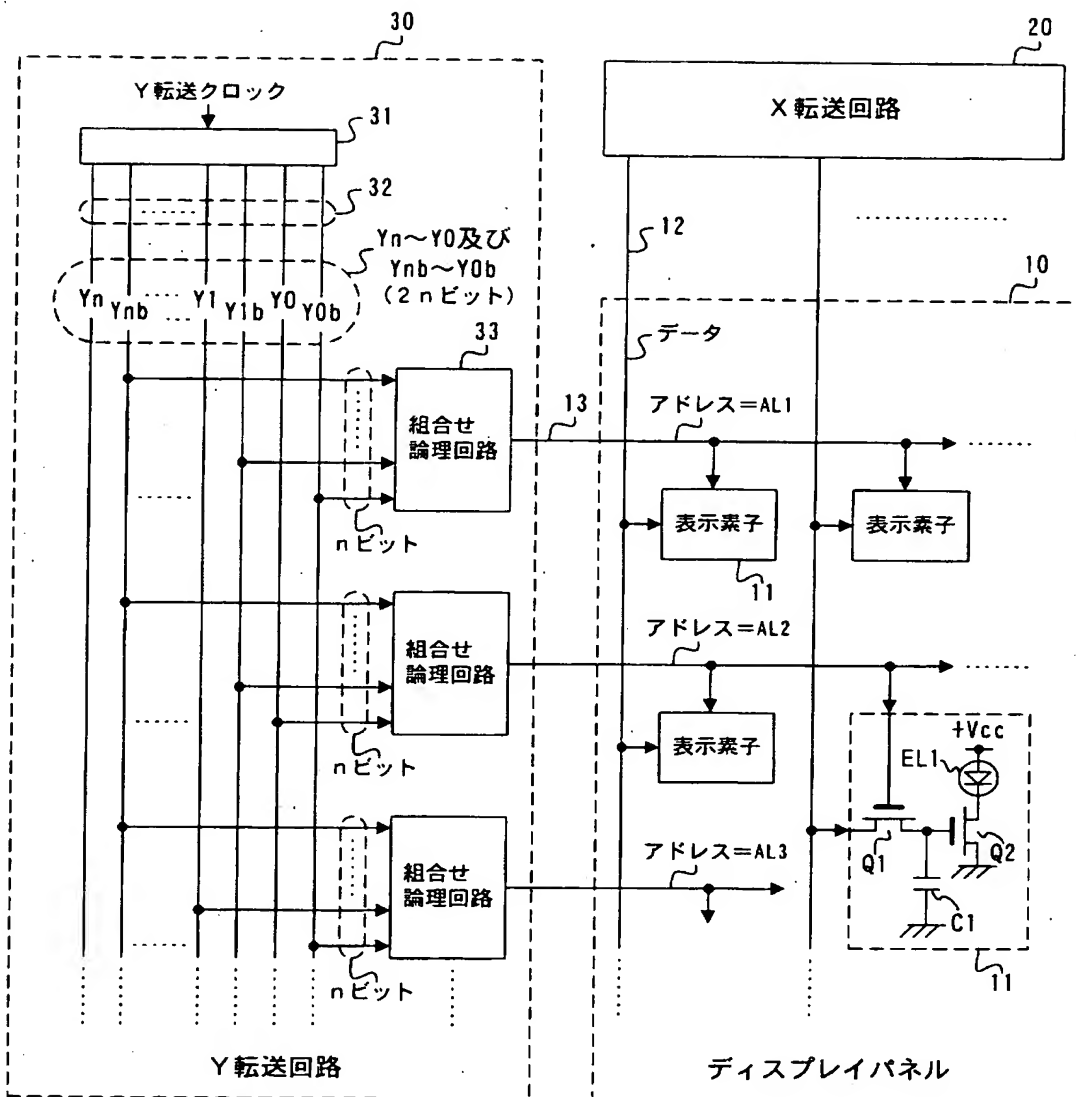
- 2 4 … アナログ信号入力線群
- 3 0 … Y 転送回路
- 3 1 … アドレス信号生成データ供給回路
- 3 2 … アドレス信号生成用データ制御線群
- 3 3, 3 3 A, 3 3 B … 組合せ論理回路
- 4 0, 5 0 … 基板
- 4 1 … アドレス信号生成用データ制御線パターン
- 4 2, 5 2 … 絶縁膜
- 4 3, 5 3 … ダイオード機能膜
- 4 3 A, 5 3 A … p 型半導体材料膜
- 4 3 B, 5 3 B … n 型半導体材料膜
- 4 4 … アドレス電極延長線パターン
- 4 5, 5 7 … 絶縁膜開口部
- 5 1 … データ信号生成用アドレス線パターン
- 5 4 … 制御接続線パターン
- 5 5 … データ電極延長線パターン
- 5 6 … アナログ信号入力線パターン

【書類名】 図面

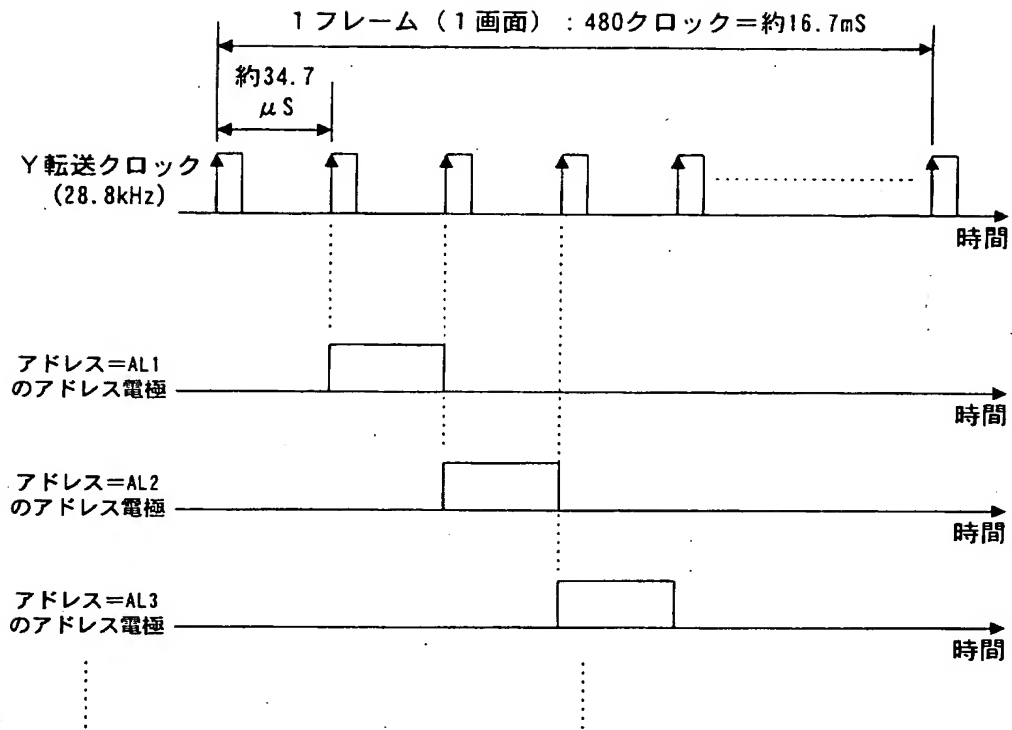
【図 1】



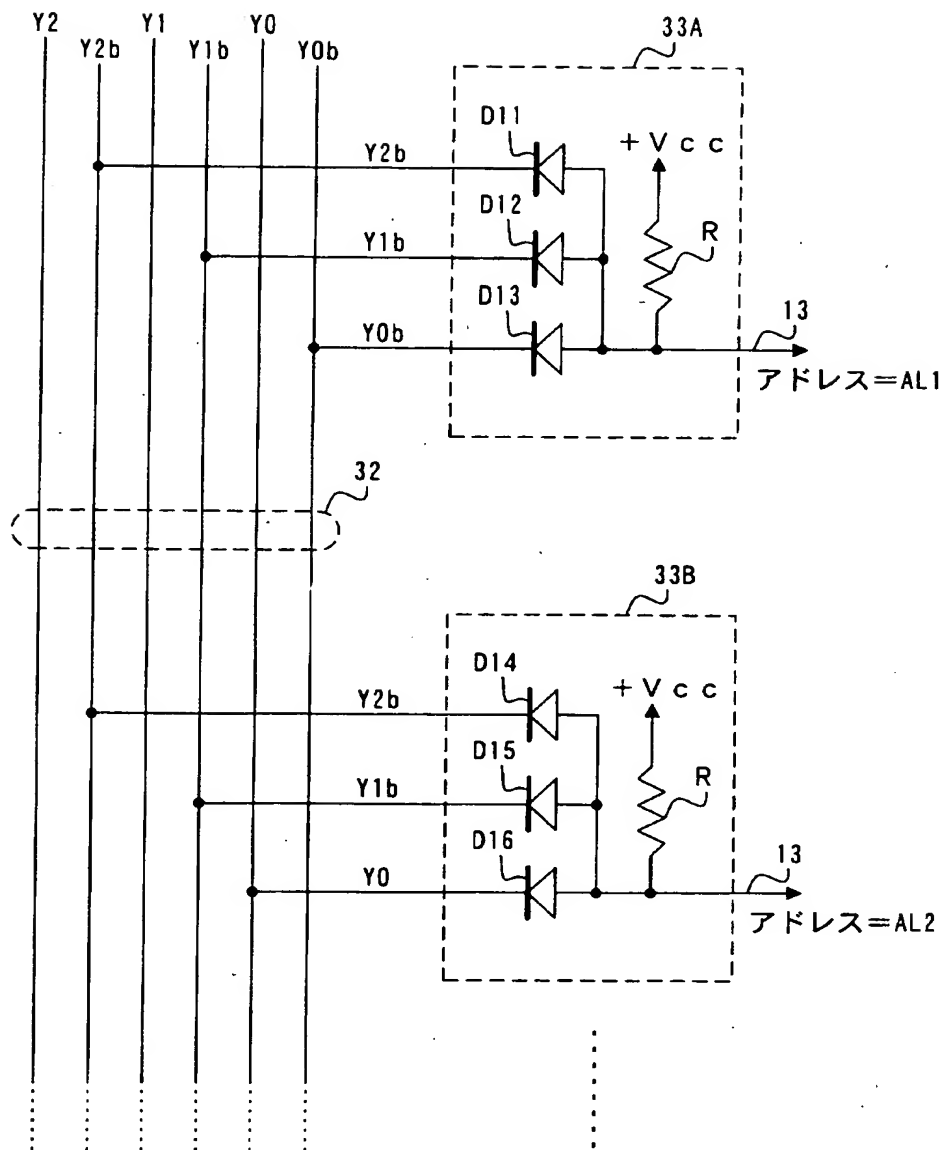
【図2】



【図 3】



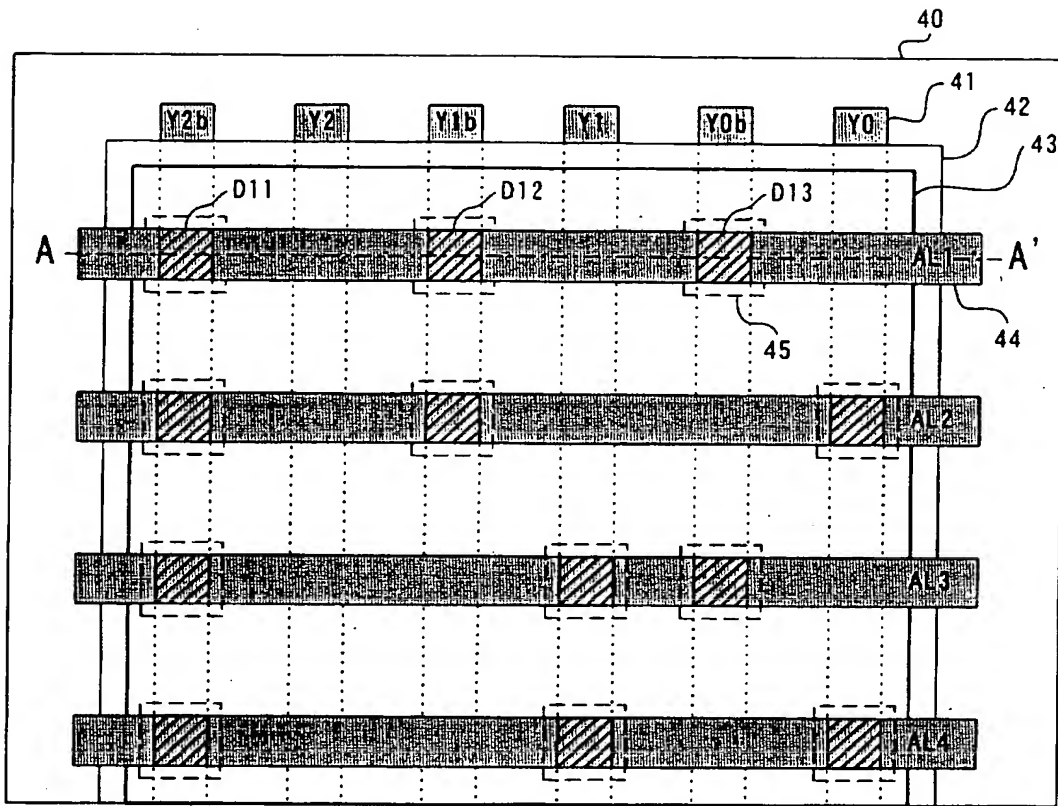
【図 4】



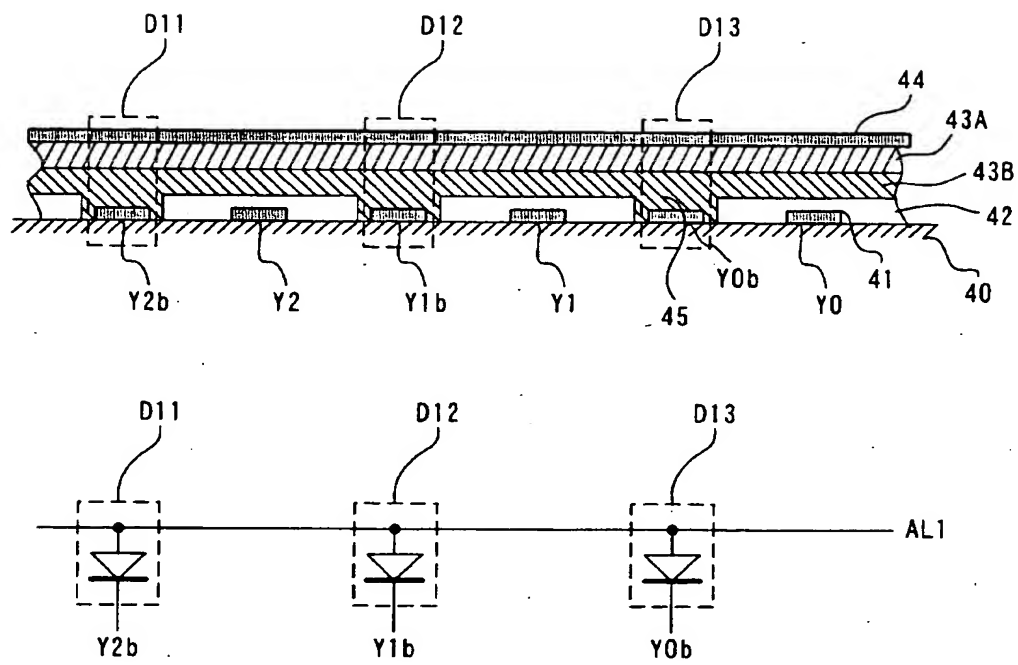
【図 5】

アドレス AL	アドレス信号生成用データ制御線群 (Y2～Y0及びY2b～Y0b) に重畳されるコード群とデコードされるアドレスとの関係					
	バイナリー符号			反転バイナリー符号		
	Y2	Y1	Y0	Y2b	Y1b	Y0b
AL=1	0	0	0	1	1	1
AL=2	0	0	1	1	1	0
AL=3	0	1	0	1	0	1
AL=4	0	1	1	1	0	0
AL=5	1	0	0	0	1	1
AL=6	1	0	1	0	1	0
AL=7	1	1	0	0	0	1
AL=8	1	1	1	0	0	0

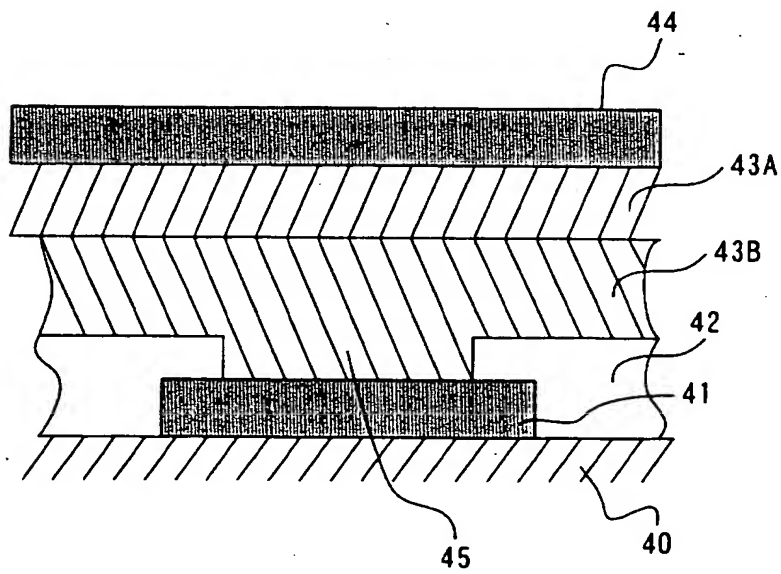
【図 6】



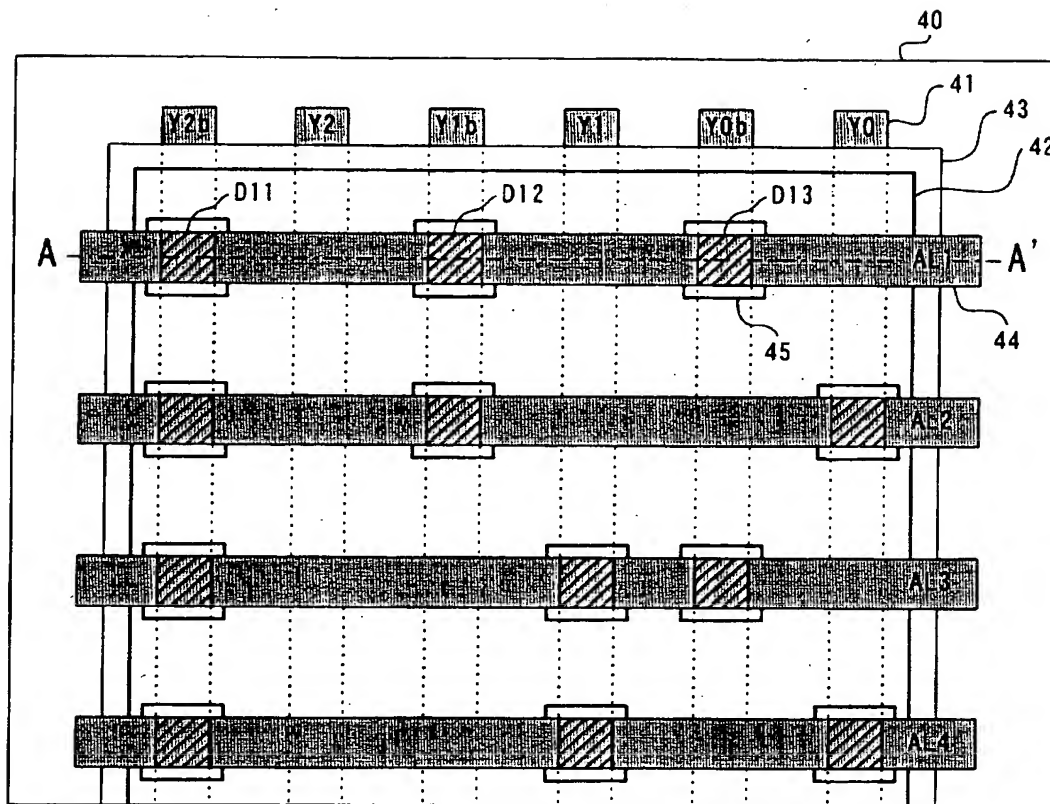
【図 7】



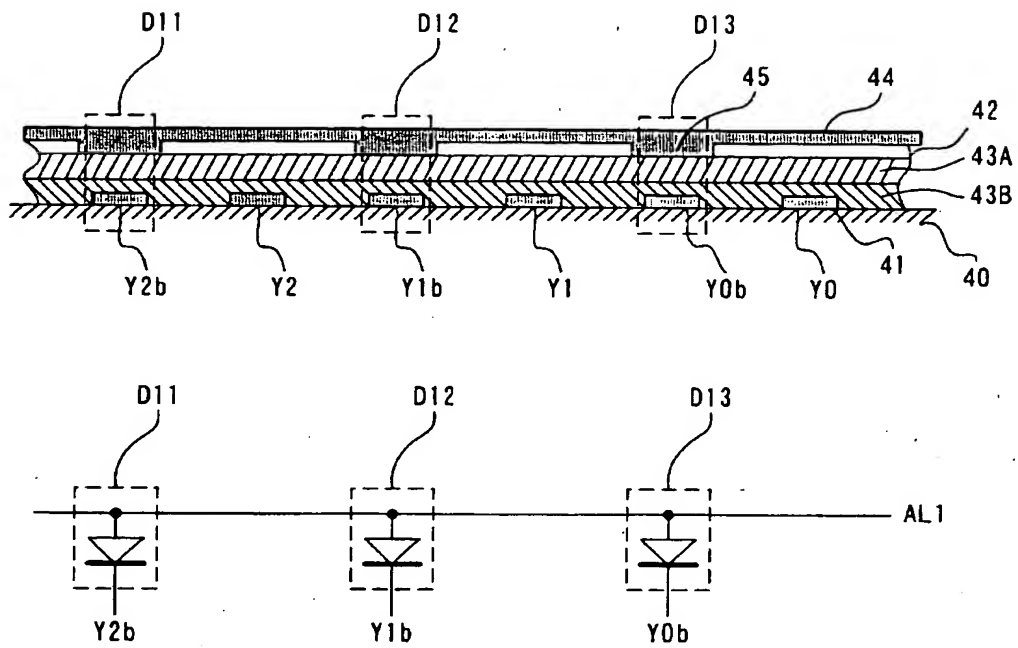
【図 8】



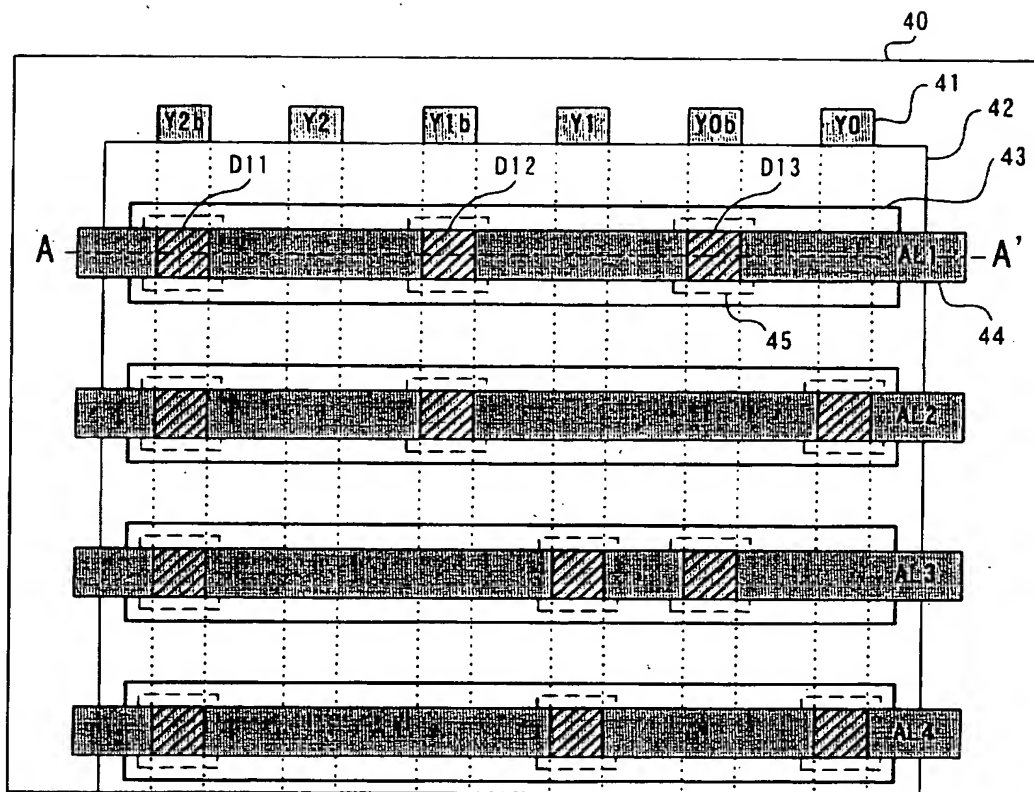
【図9】



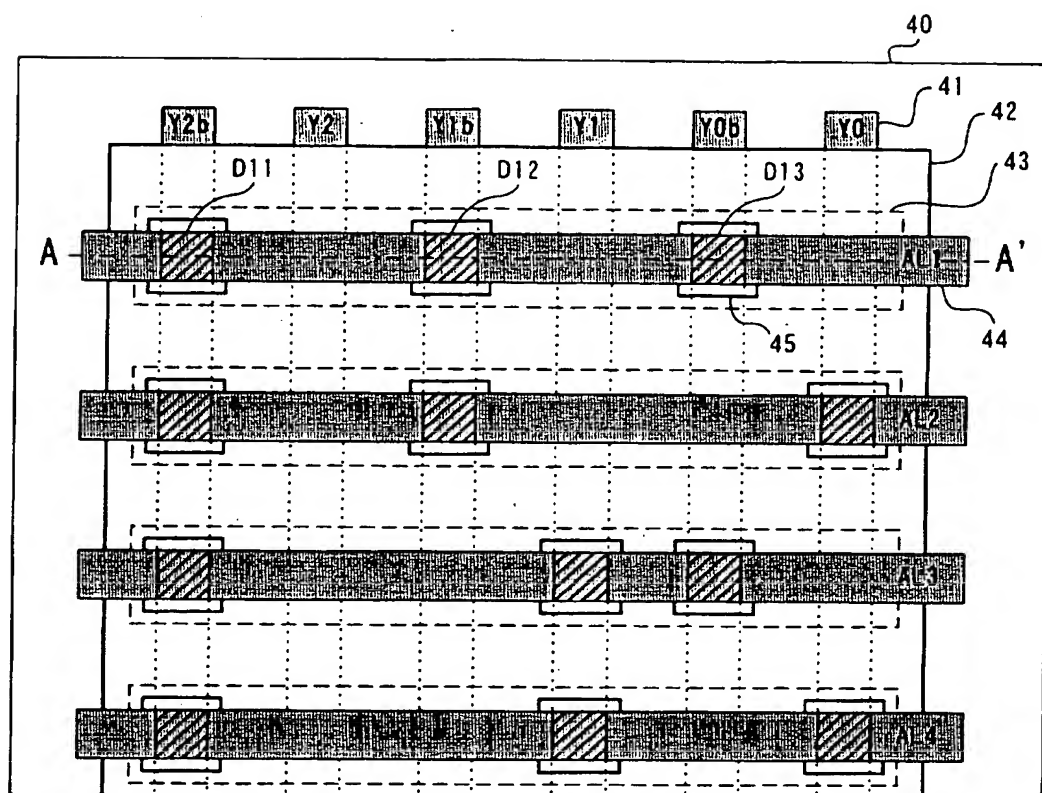
【図 10】



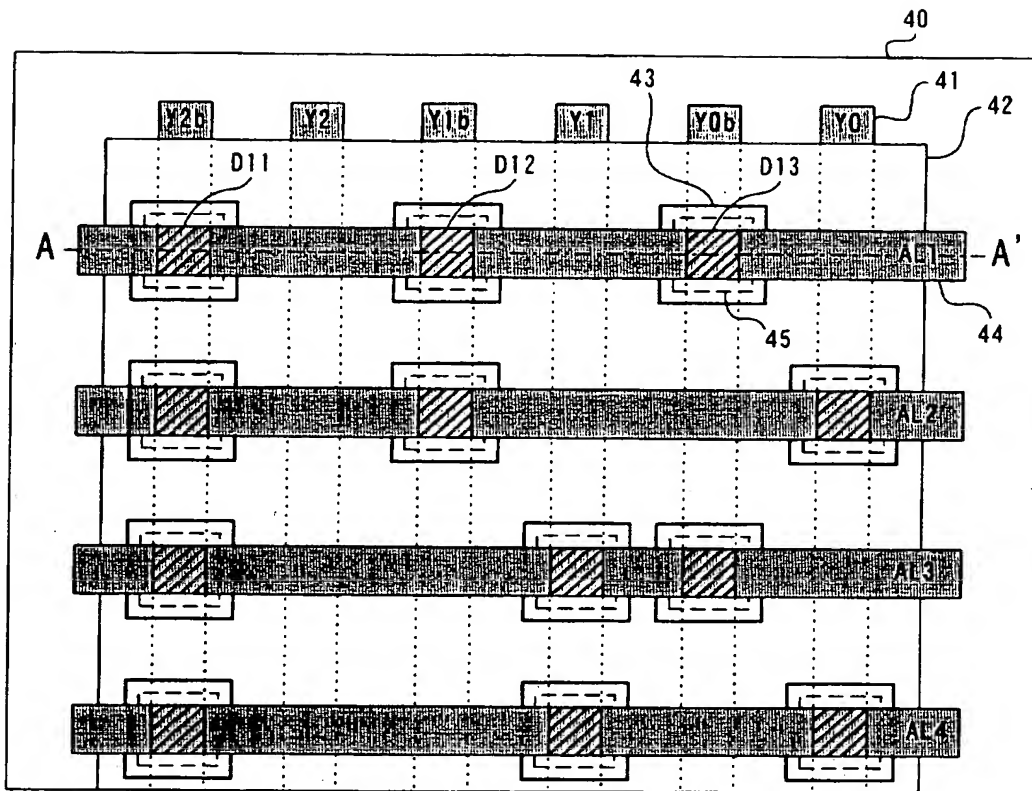
【図 1 1】



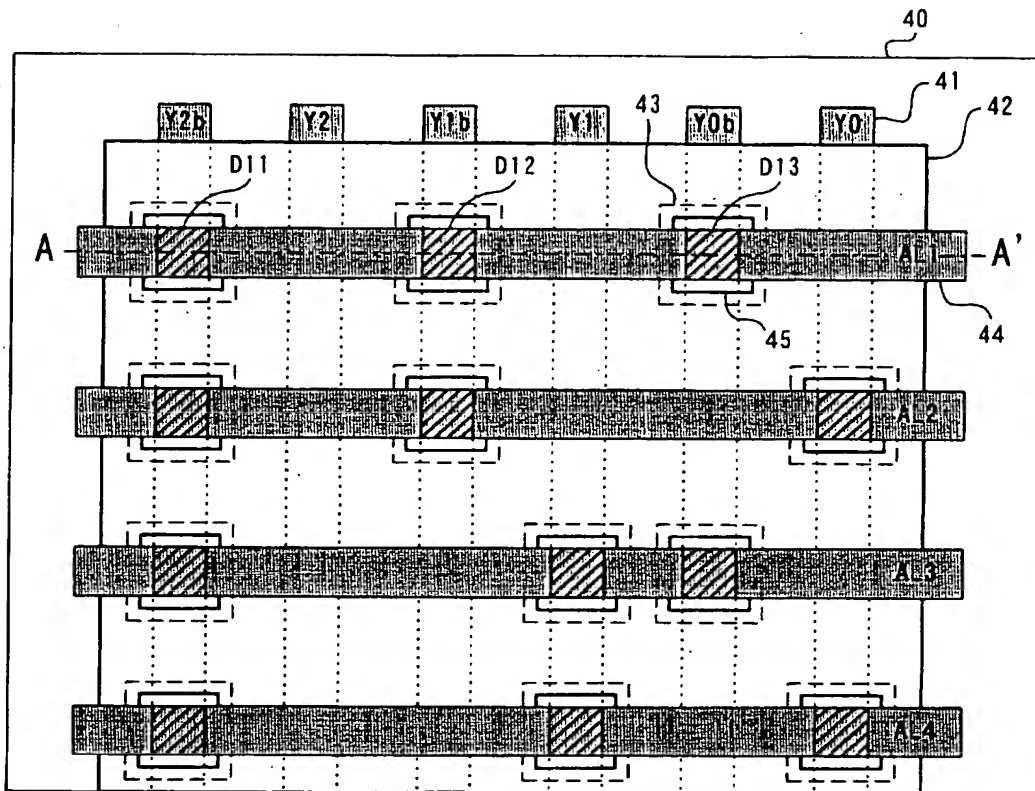
【図 1 2】



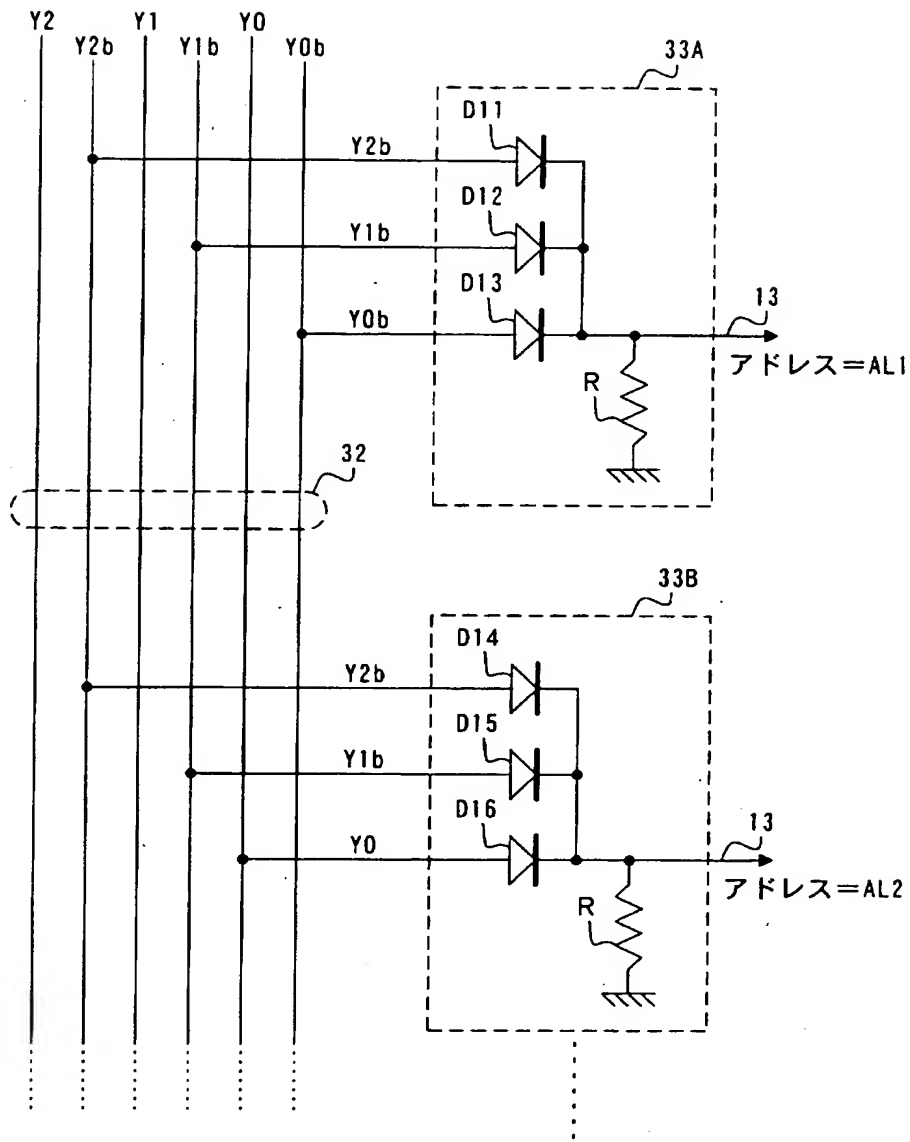
【図 1 3】



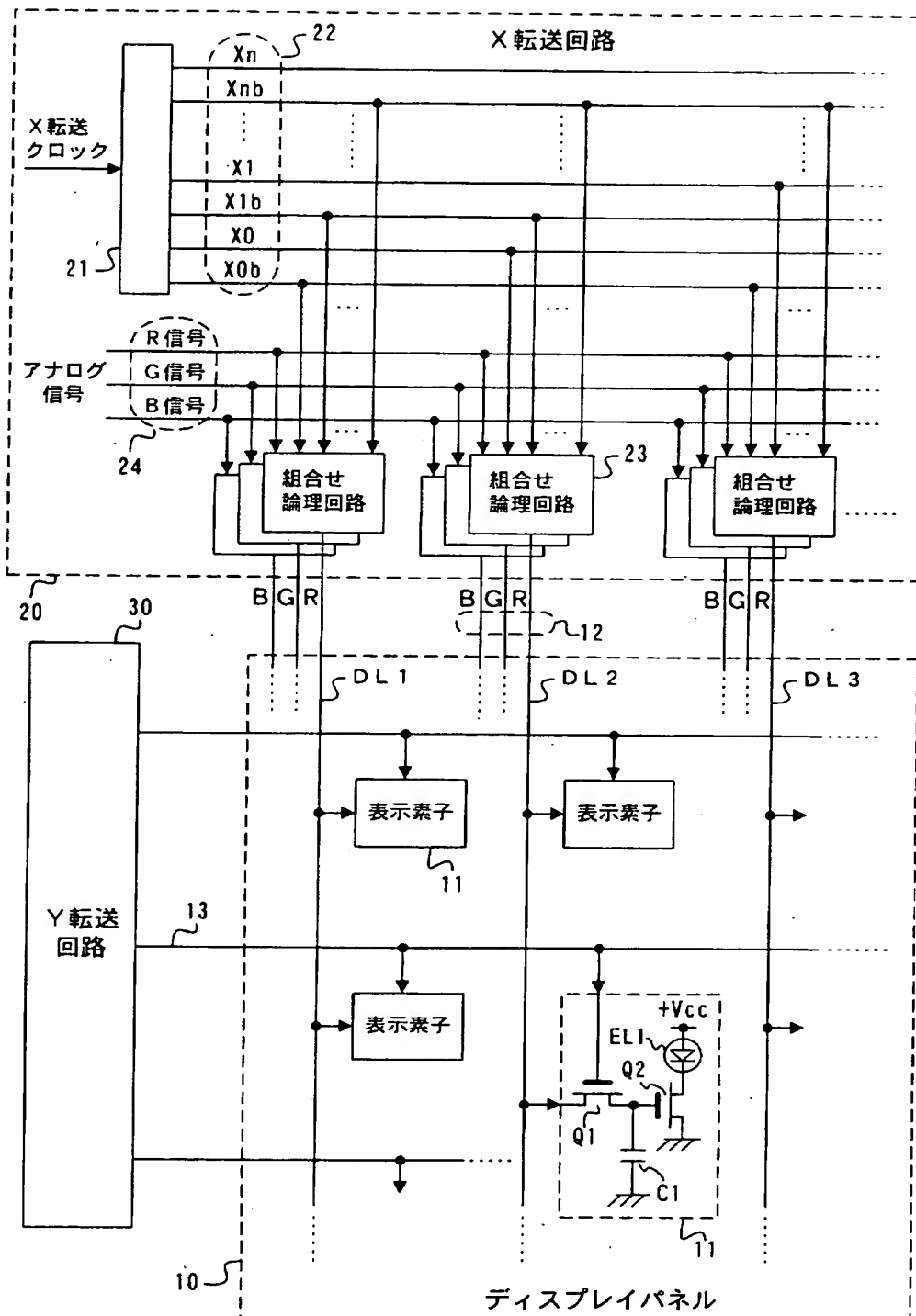
【図 1.4】



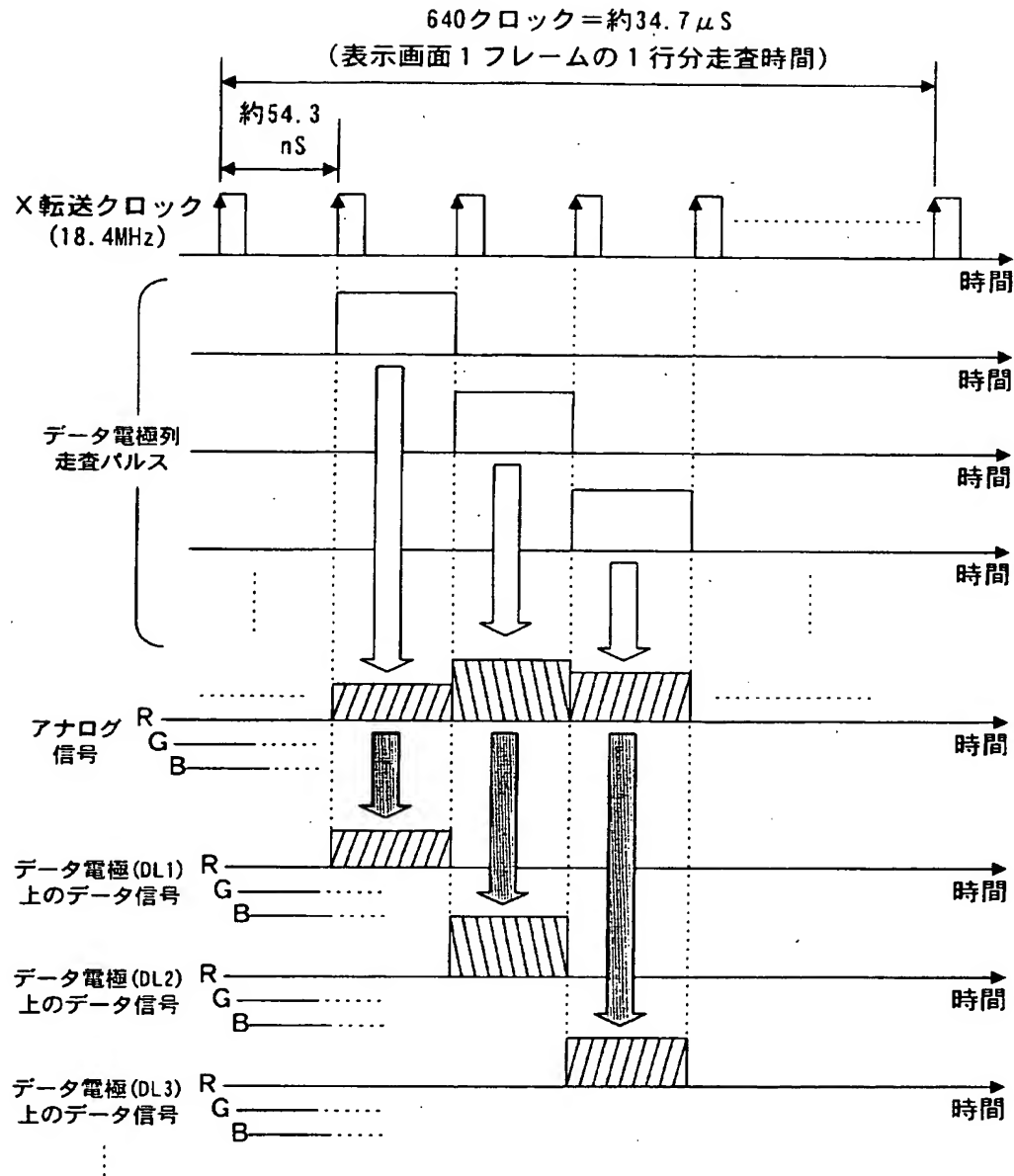
【図 15】



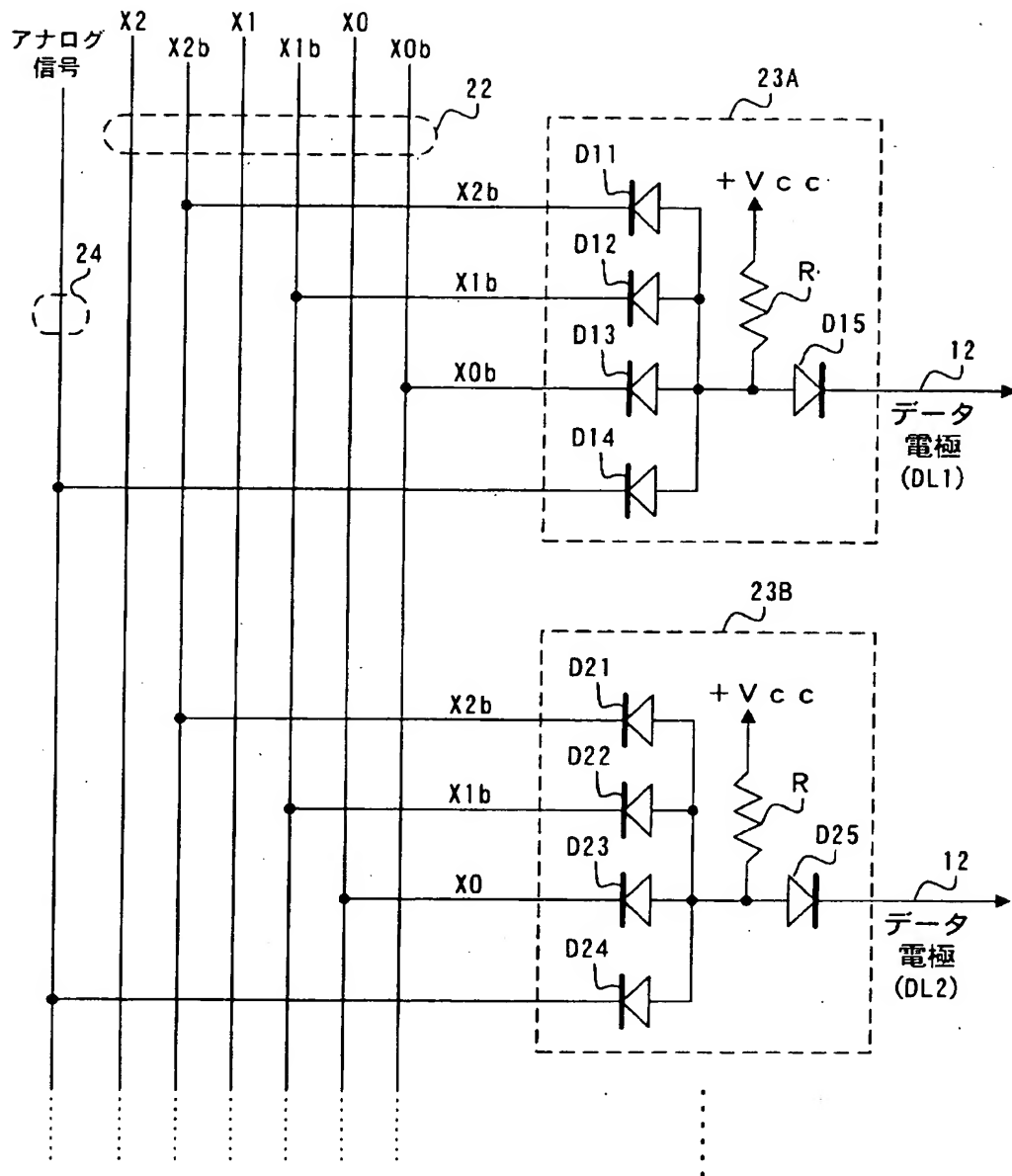
【図16】



【図 1.7】



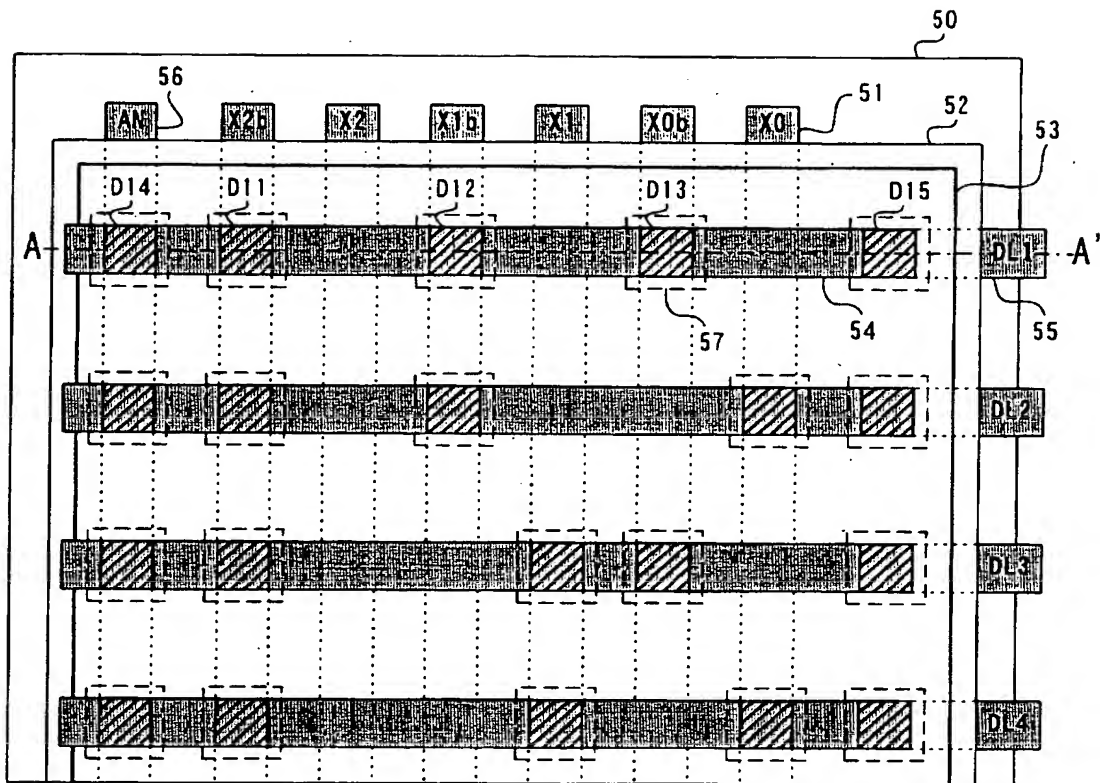
【図 1 8】



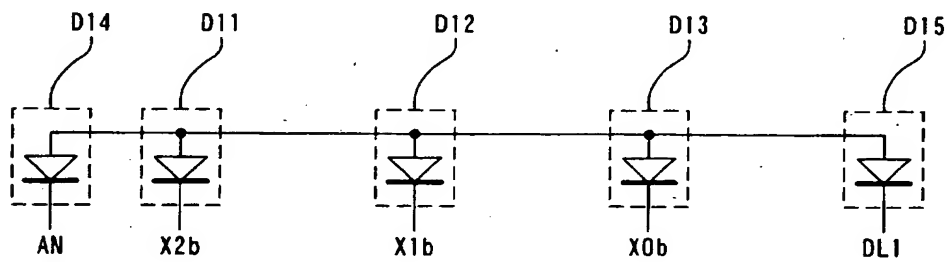
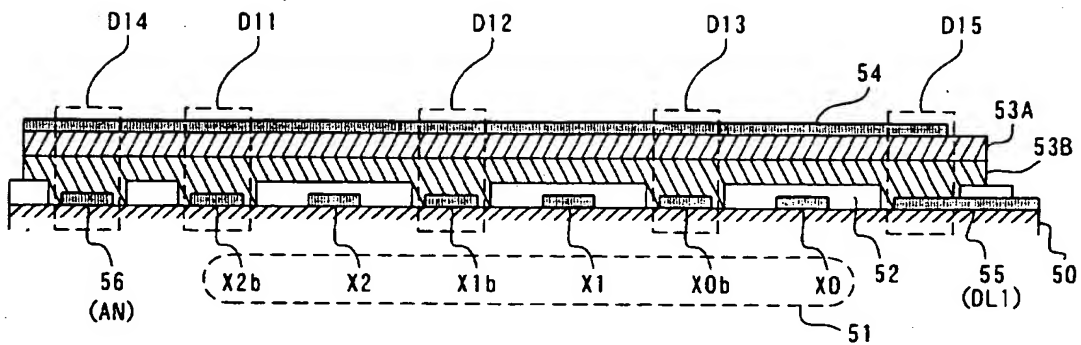
【図 1 9】

データ電極 アドレス (DL)	データ信号生成用アドレス線群(X2~X0及びX2b~X0b)に 重畳されるコード群とデコードされるアドレスとの関係					
	バイナリー符号			反転バイナリー符号		
	X2	X1	X0	X2b	X1b	X0b
DL=1	0	0	0	1	1	1
DL=2	0	0	1	1	1	0
DL=3	0	1	0	1	0	1
DL=4	0	1	1	1	0	0
DL=5	1	0	0	0	1	1
DL=6	1	0	1	0	1	0
DL=7	1	1	0	0	0	1
DL=8	1	1	1	0	0	0

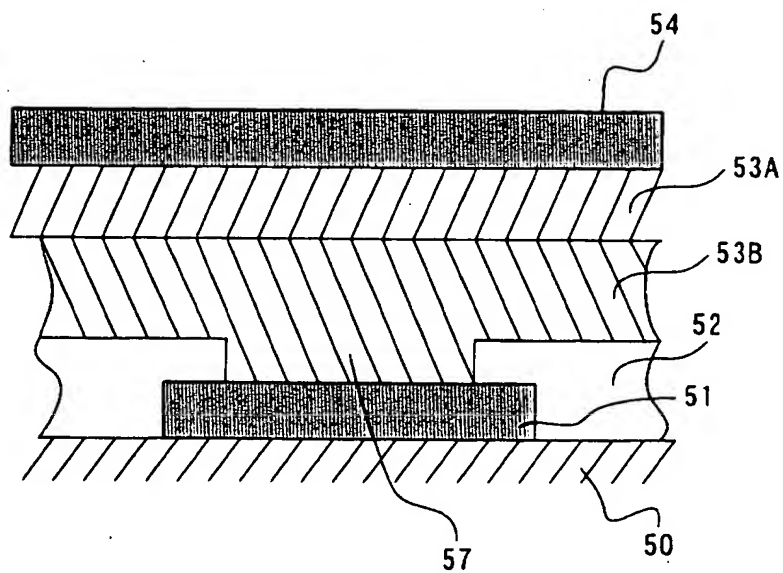
【図 2 0】



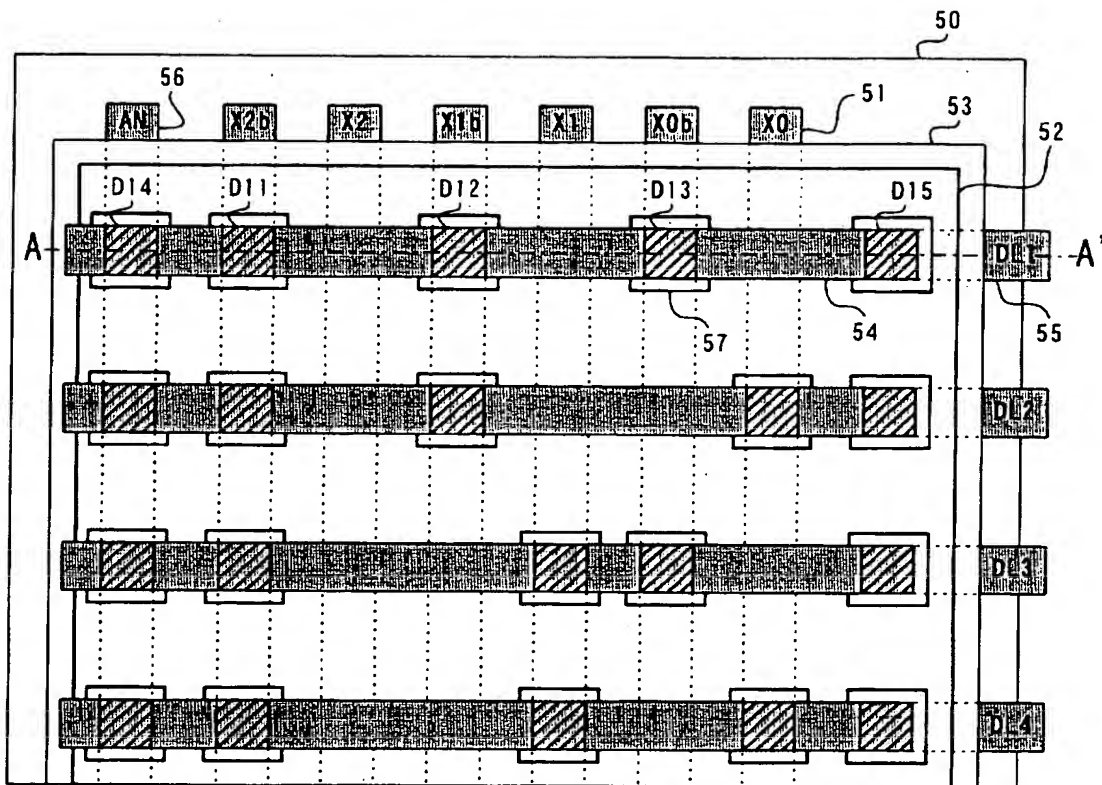
【図 2 1】



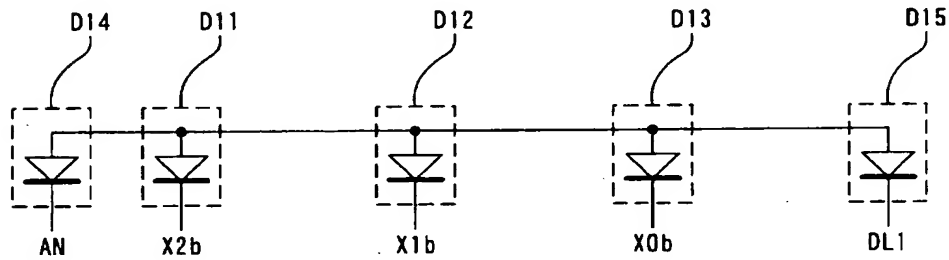
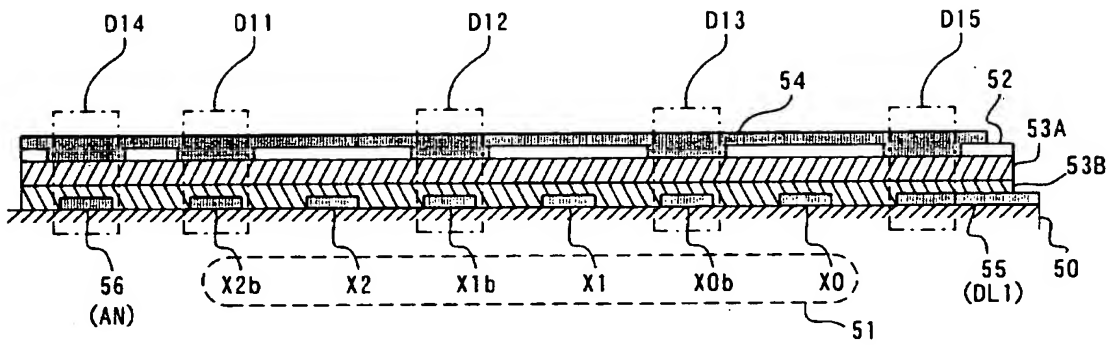
【图 2 2】



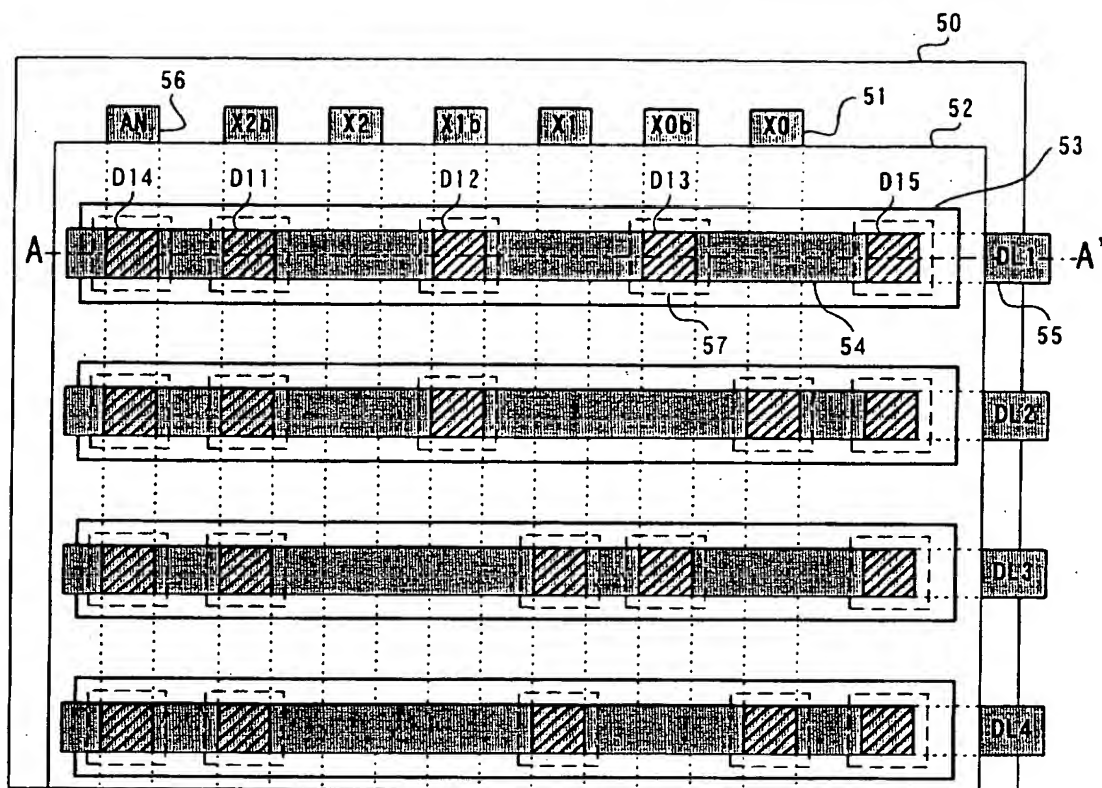
【図 23】



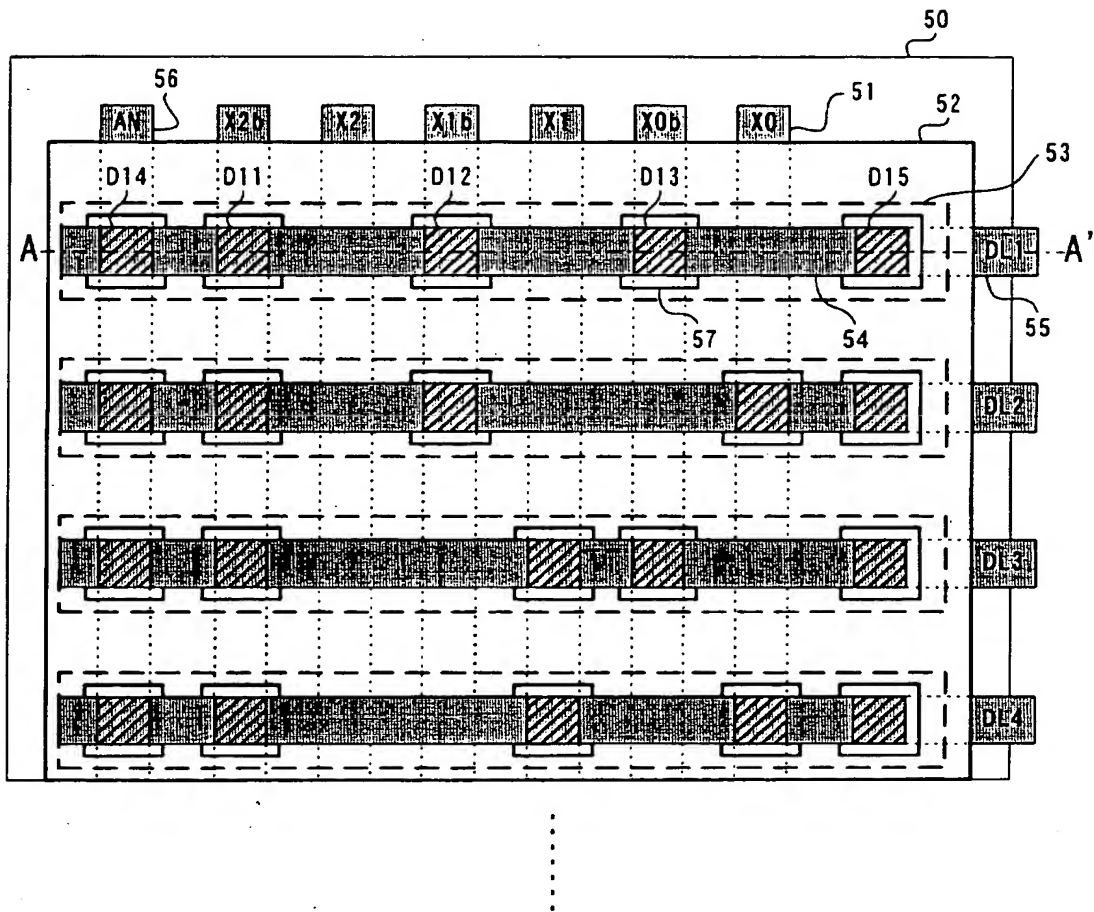
【図 2 4】



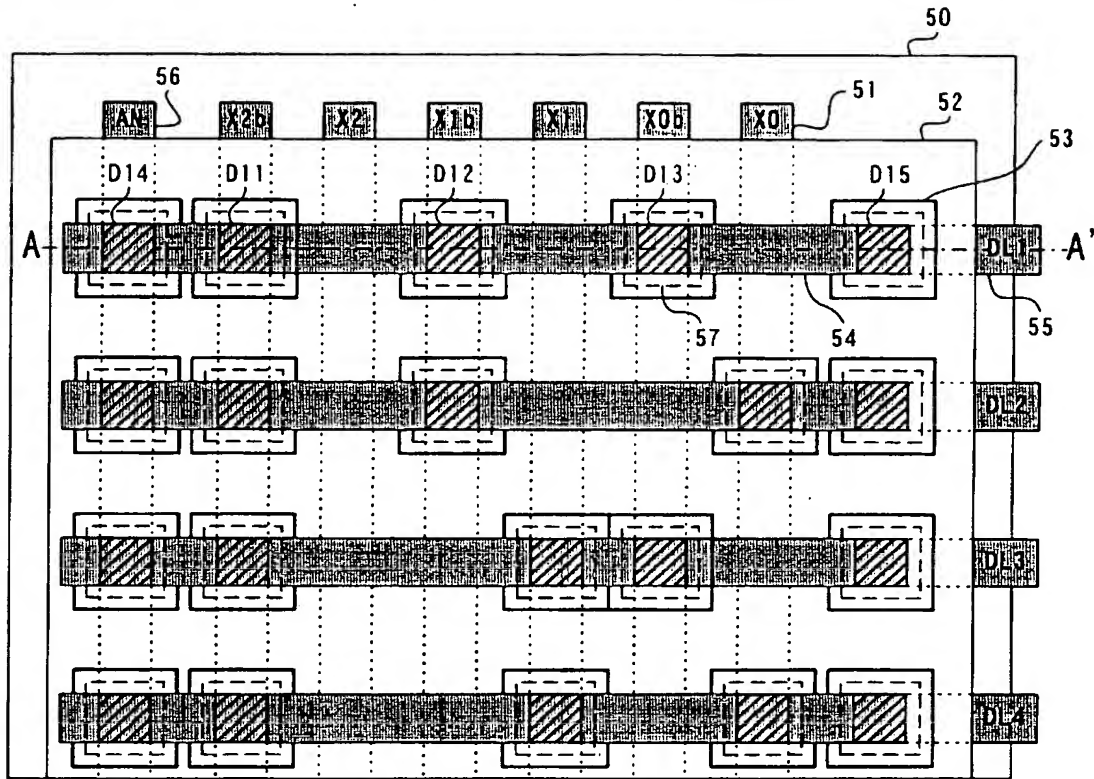
【图 25】



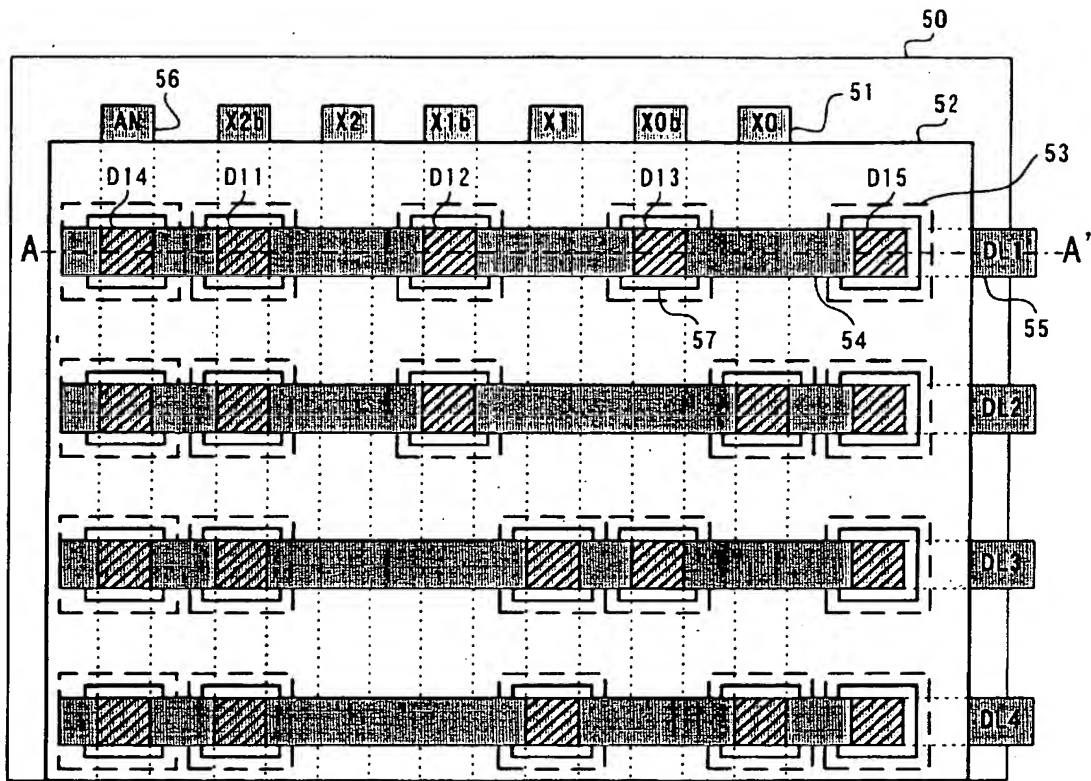
【図 2 6】



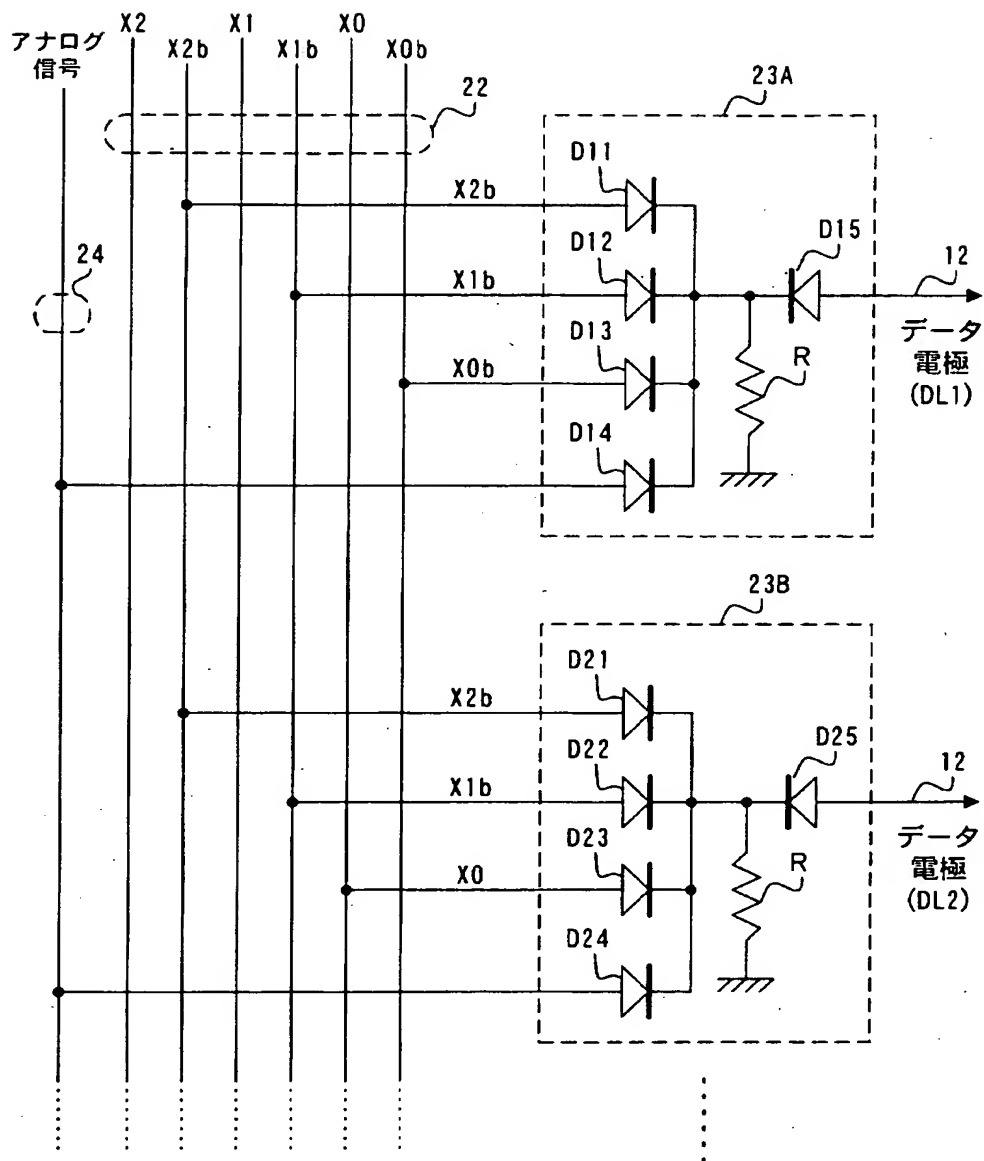
【図 27】



【図 2 8】



【図 2 9】



【書類名】 要約書

【要約】

【課題】 アモルファスシリコン素材や有機半導体素材を用いることが可能であり、かつ基板構造の簡単なディスプレイパネルの駆動装置を提供する。

【解決手段】 ディスプレイパネルの行アドレスの基となるデータコード配線群と、アドレス電極ラインの配線群とを、絶縁膜とダイオード機能膜から成る複合層を挟んで交叉させる。所定の交叉点に開口部を設けることによって、開口部にダイオードを形成し、一本のアドレス電極ライン上にダイオードの一方の端子を並列に配置した行アドレスデコード用の論理回路を構成する。また、ディスプレイパネルのデータ電極に供給するデータ信号の基となるデータコード配線群と、データ電極の配線群とを、絶縁膜とダイオード機能膜から成る複合層を挟んで交叉させる。所定の交叉部で絶縁膜に開口部を設けることにより上下の配線群の間にダイオードを形成し、各々のデータ電極毎にデータ信号を供給する論理回路を構成する。

【選択図】 図 7

出 願 人 履 歴 情 報

識別番号 [000005016]

1. 変更年月日	1990年 8月31日
[変更理由]	新規登録
住 所	東京都目黒区目黒1丁目4番1号
氏 名	パイオニア株式会社